

フェライト厚膜を用いた DC-DC コンバータ用 プレーナインダクタ*

川崎製鉄技報
34 (2002) 3, 125-128

Planar Inductors with Ferrite Layers for DC-DC Converter



福田 泰隆
Yasutaka Fukuda
技術研究所 鉄粉・磁
性材研究部門 主任研
究員(課長)・工博



館 義仁
Yoshihito Tachi
川鉄鉱業(株)
技術研究所
課長



溝口 徹彦
Tetsuhiko Mizoguchi
東芝マイクロエレクト
ロニクス(株)
部長



井上 哲夫
Tetsuo Inoue
(株)東芝
セミコンダクター社
主務・工博



谷田部 茂
Shigeru Yatabe
(株)東芝
セミコンダクター社
主務

要旨

スクリーン印刷、フォトリソグラフィ、電気めっき法により、フェライト厚膜を用いた新構造プレーナインダクタを開発した。スクリーン印刷法は、導体と導体の間をフェライトで充填した構造が可能となる。この構造では、上下磁性層間を渡る磁束が導体を鎖交せず導体間のフェライト部分を流れるため、導体部分での渦電流損失の低減が期待できる。試作したプレーナインダクタにおいては、5 MHz での Q 値が 40~70 と、磁性薄膜型を凌駕する特性を達成した。2次元有限要素法磁界解析を行ったところ、導体での渦電流損失は、全損失の 2.4% と小さいことが明らかとなった。

Synopsis:

Planar inductors with ferrite layers were fabricated by means of screen printing, photo-lithography and electroplating methods. Screen printing method enables to obtain coil spacing filled with ferrite. In this structure, since the perpendicular leakage magnetic flux preferentially passes through the coil spacing and bypass the copper coil, it is expected to decrease the eddy-current loss. Trial samples of planar inductor with ferrite layers achieved high quality factor Q of 40~70 at 5 MHz. Magnetic field analysis revealed that the eddy current loss of the copper coil was only 2.4% of the total loss.

1 はじめに

最近、小型携帯機器に搭載するための超小型 DC-DC コンバータの検討が精力的に進められている¹⁻³⁾。このとき、小型化、特に低背化の鍵を握っているのがインダクタであり、従来の巻き線型フェライトインダクタにかわって、薄型化に優れるプレーナインダクタが期待されている。Sato ら⁴⁾は、電気めっきした厚膜銅コイルと FeCoBN 磁性膜を用いたプレーナインダクタを開発した。試作したインダクタは 7 MHz で $Q = 15$ を示し、5 MHz でスイッチングする降圧型/昇圧型コンバータに搭載したところ、約 80% の効率を達成した。 Q 値は $Q = 2\pi fL/R_{\text{total}}$ (f : 周波数, L : インダクタンス, R_{total} : 全損失抵抗)と定義され、一般に品質係数と呼ばれている。全損失抵抗 R_{total} は、導体の直流抵抗 R_{dc} 、導体の交流抵抗 R_{ac} 、磁性層の損失(鉄損) R_{mag} を加えたものである。したがって、大きなインダクタンス L と小さな損失(抵抗)を実現すると大きな Q 値が得られるため、プレーナインダクタにおいて、高 Q 値化は重要な課題である。Sato らによって開発されたプレーナインダクタの主な損失は、磁性膜に平行に入る磁束や、上下磁性膜間の垂直漏れ

磁束が、導体と磁性膜を横切る時に発生する渦電流に起因すると説明されている⁴⁾。これらの渦電流損失を抑えるために、磁性膜の多層化・分割化や導体の分割化構造を提案し、その効果が実証されている。 $Q = 15$ はそれらの成果として得られたものである。Sugawara ら⁵⁾はパワー IC 上に、CoHfTaPd アモルファス磁性膜のプレーナインダクタを連続的に形成した薄膜インダクター体型 DC-DC コンバータを開発している。プレーナインダクタのインダクタンス L と全損失抵抗 R_{total} は、それぞれ $0.96\mu\text{H}$, 4.2Ω ($Q = 4.3$) であり、3 MHz でスイッチングする降圧型コンバータにおいて約 80% の効率を達成している。以上の先進的な開発に対し、市場に出回っている厚み 1 mm 程度の伝統的なフェライト巻き線インダクタの Q 値は 30 を超え、これを搭載した DC-DC コンバータは、90% 以上の効率で動作するのが一般的である。今後、プレーナインダクタを搭載した超小型 DC-DC コンバータの高効率化を進めるには、従来の報告例を超えた高 Q 値インダクタの実現が必須となる⁶⁾。本論文の目的は、MHz 域でスイッチングする超小型 DC-DC コンバータのために、高 Q 値を目的として、磁性層を NiZn フェライトで置き換え、

* 平成14年3月11日原稿受付

Table 1 Specifications of a planar inductor

Conductor line	Structure	Single spiral	
		L/S (μm)	50/30
		Turn number	14
		Thickness (μm)	50, 70
Magnetic layer	Material	Cu	
	Structure	$6\,000 \times 6\,000\,\mu\text{m}$	
		Thickness (μm)	40 (lower ferrite layer) 100 (upper ferrite layer)
	Material	Composition (mol%)	NiO/CuO/ZnO/Fe ₂ O ₃ = 16/12/23/49
	Properties	Relative permeability	120 (lower ferrite layer) 25 (upper ferrite layer)
		Coercivity (A/m)	330 (lower ferrite layer) 1 400 (upper ferrite layer)
		Saturation magnetization (T)	0.46 (lower ferrite layer) 0.23 (upper ferrite layer)
		Curie point (K)	540
		Resistivity ($\Omega\text{ cm}$)	10^8

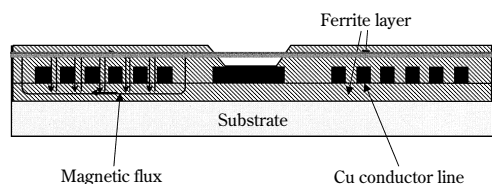


Fig. 1 Schematic view of a planar inductor with ferrite layers

かつ、導体間を同じフェライトで充填した、新規な構造のプレーナインダクタを提案することである。

2 実験方法

2.1 損失低減へのアプローチ

試作プレーナインダクタは、5 MHz での励磁を想定して設計した。模式図を Fig. 1 に示す。磁性体にフェライト厚膜を用いたことと、導体間をフェライトで充填したことが特徴である。この構造では、上下フェライト層間の垂直漏れ磁束は比透磁率1の導体位置を避けてフェライト混合物で埋められた導体間を優先的に通り、導体での渦電流損失が減少すると期待できる。さらに、NiCuZn フェライトが絶縁体なため、磁性層での渦電流の発生も回避できる。試作したインダクタの仕様を Table 1 にまとめる。プレーナインダクタは、銅スパイラルコイル導体と、それを上下に挟んだ NiCuZn フェライト層から構成されている。基板には Si ウエーハを用いた。基板側の下部フェライトは焼結体であるが、上部フェライトおよび導体と導体で挟まれた空間は、樹脂とフェライト粉末の混合物を採用した。NiCuZn フェライトは Q 値が 5 MHz 以上で最大を示すものとして、Table 1 に示す組成を用いた。このとき、上部フェライトの磁束密度は樹脂分だけ磁化が小さく透磁率も低いので、上部フェライト厚みを下部フェライトの 2 倍強として磁気特性の差を補った。NiCuZn フェライト層は磁氣的に面内等方的なので、シングルスパイラルコイルを適用した。ここで 1 本の導体幅は 5 MHz での表皮厚みの 2 倍程度としたため、ライン/スペースが $50\,\mu\text{m}/30\,\mu\text{m}$ の 2 分割、14 ターンと設計した。導体厚みは、 $50\,\mu\text{m}$ と $70\,\mu\text{m}$ の 2 仕様を試みた。

2.2 試作工程

下部フェライトは Si 基板上にフェライト粉末を含有したペーストをスクリーン印刷した後、 $900 \sim 1\,000^\circ\text{C}$ で焼成した。焼成後の下部フェライト厚みは約 $40\,\mu\text{m}$ である。引き続き、コイル電気めっきのための Cu シード層を下部フェライトの上に成膜した。その上に厚膜レジストをスピコートした後、露光・現像することで導体パターンのレジストフレームを形成した。電気めっきを行った後、レジストの剥離を行った。導体ラインを分離するためのシード層エッチングを施した後、上部フェライトを印刷・硬化した。導体トップからの上部フェライト厚みは、約 $100\,\mu\text{m}$ である。小振幅励磁特性は LCR メータ (HP 4285A)、直流バイアス特性はこれにバイアス電流ソース (HP 42841A) を付属して測定した。大振幅励磁の評価は、B-H/Z アナライザ (HP E5060A) とパワーアンプ (YOKOGAWA 705810) の組み合わせで行った。コイルの直流抵抗 R_{dc} は、75 kHz、無バイアス、小振幅励磁での、インピーダンス Z から算出される直流等価抵抗 R_s で代用した。

3 結果と考察

3.1 小振幅励磁特性

試作インダクタの断面写真を Photo 1 に示す。この観察結果が

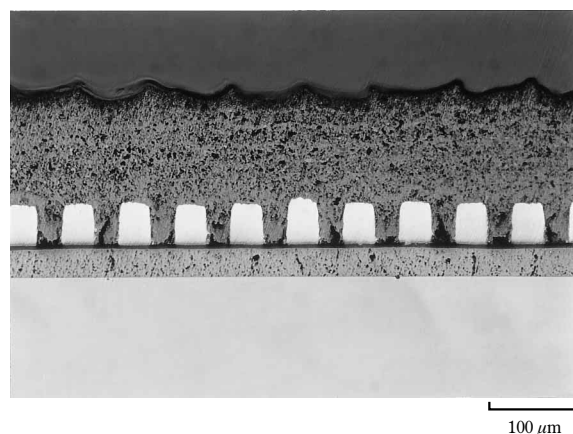


Photo 1 Cross sectional view of a planar inductor

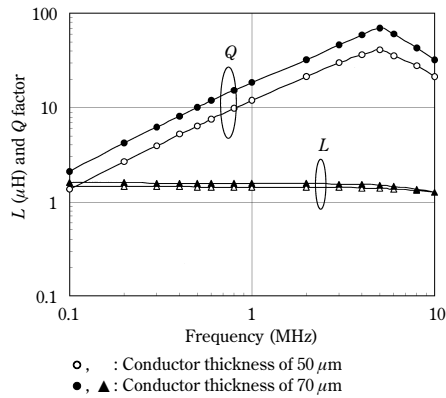


Fig. 2 Frequency dependence of inductance and Q factor

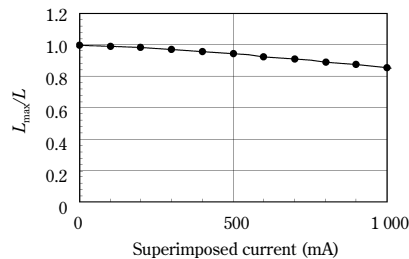


Fig. 3 Superimposed DC current characteristics of a planar inductor

ら、導体と導体の間隔にはフェライトペーストが充填された、期待通りの構造を実現していることが分かった。面積は $6000 \times 6000 \mu\text{m}$ で、基板を除いた厚みは $200 \sim 300 \mu\text{m}$ となった。導体厚み $50 \mu\text{m}$ と $70 \mu\text{m}$ でのインダクタンス L と Q 値の周波数との関係を Fig. 2 に示す（励磁電流 0.5 mA ）。 5 MHz でのインダクタンス L は $1.4 \sim 1.5 \mu\text{H}$ で、 100 kHz での値に対するインダクタンス L の低下は 5% 以内に抑えられた。 Q 値は 5 MHz で最大を示しており、その値は導体厚み $50 \mu\text{m}$ 、 $70 \mu\text{m}$ に対してそれぞれ 40 と 70 であった。両者の直流抵抗 R_{dc} は 0.67Ω と 0.47Ω であり、この差が Q 値の違いに反映されている。これまでに報告された磁性薄膜型インダクタの Q 値が、大きいものでも $15^{(4)} \sim 20^{(5)}$ であることから、開発インダクタの Q 値はプレーナ構造としては、他に比べて非常に大きな値である。試作したインダクタにおいて、全損失抵抗 R_{total} から導体の直流抵抗 R_{dc} を差し引いた値は $0.2 \sim 0.5 \Omega$ と評価された。これは磁性薄膜構造²⁾で報告されている $2.0^{(4)} \sim 3.2 \Omega^{(2)}$ の $1/4 \sim 1/10$ 程度と小さく、本研究で提案した構造が損失低減に有効に寄与していると考えられる。そのメカニズムについては、3.3 節で解析的に議論する。インダクタンス L の直流バイアス特性を Fig. 3 に示す。電流の増加とともに単調に低下し、インダクタンス L が 10% 低下する時の直流バイアス電流は 750 mA と評価された。

3.2 大振幅励磁特性

プレーナインダクタを DC-DC コンバータのリアクトルとして使う場合、直流バイアス状態で高周波大振幅励磁される。したがって、Fig. 2, 3 に示した小振幅励磁データのみでの議論は不十分で、より大きな電流で励磁した結果をもとに議論することが重要である。直流バイアス電流 $I_{dc} = 0 \text{ mA}$ および 500 mA における、インダクタンス L と Q 値の交流電流 I_{ac} 依存性を Fig. 4, 5 に示す。周波数は 5 MHz である。インダクタンス L は 100 mA 付近までほぼ一定を示し、それを超えるとわずかに増加した。一方、 Q 値は交流電流 I_{ac}

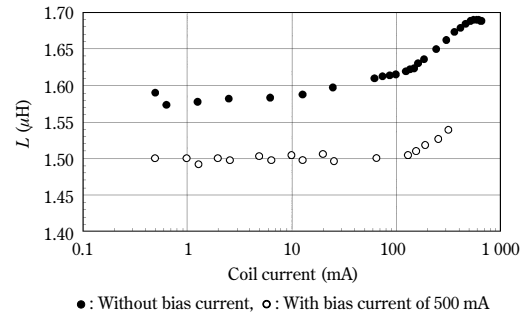


Fig. 4 Dependence of coil current on inductance

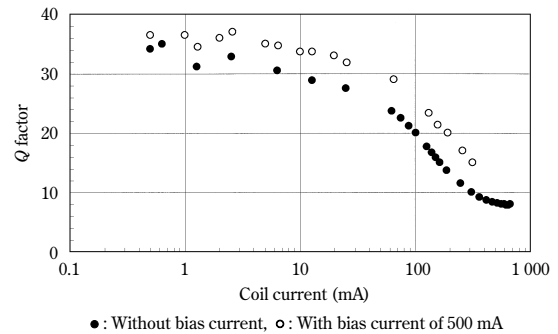


Fig. 5 Dependence of coil current on Q factor

の増加とともに単調に減少した。バイアス電流 500 mA での Q 値は無バイアス下におけるよりも、減少率は緩和されている。交流電流の増加による Q 値の低下は薄膜インダクタにおいても認められる。Sato ら⁴⁾はその理由として、励磁電流とともに磁性体の保磁力が増加し、ヒステリシス損失の増大を招くことをあげている。本論文の試作インダクタにおいても同様の理由と考えられる。

3.3 磁界解析

磁性層にフェライトを用い導体間の磁性体で充填した新規構造プレーナインダクタにおいて、大きな Q 値を得ることができた。以下において、インダクタ構造が電磁気特性へ及ぼす効果を2次元有限要素法 (Maxwell, アンソソフトジャパン) による磁界解析によって明らかにする。ここで、フェライトの磁気特性は線形近似し、導体電流値 2 A で解析した。解析の対象としたインダクタは導体厚み $50 \mu\text{m}$ のものである。 5 MHz でのプレーナインダクタ断面における3つの x 軸方向、すなわち、導体中央、導体表面から $5 \mu\text{m}$ 位置での上部フェライト層、導体底面から $5 \mu\text{m}$ 位置での下部フェライト層における磁束密度分布を Fig. 6 に示す。この図での原点 (distance = $0 \mu\text{m}$) が、インダクタの中心となる。導体中央ラインでの磁束密度分布を見ると、導体部分での磁束密度が小さくなっており、上下磁性層を渡る磁束は導体間の磁性層を通っていることが分かった。上部フェライト層の磁束密度が下部フェライト層の $1/4 \sim 1/2$ となっているのは、透磁率の差が反映されているためである。金属磁性薄膜型プレーナインダクタの磁束密度分布は導体間の磁気結合が大きいいため、導体中央部で最大を示すことが報告されている⁶⁾。一方、本論文のプレーナインダクタでは、距離に対して比較的フラットな磁束密度分布を示すことが Fig. 6 から分かった。これは、導体で発生した磁束の一部が導体を囲っているフェライト内で閉じることで、導体間の磁気結合が金属磁性膜型に比べて小さいことを示唆するものである。磁界解析から算出した 5 MHz での各種損失の

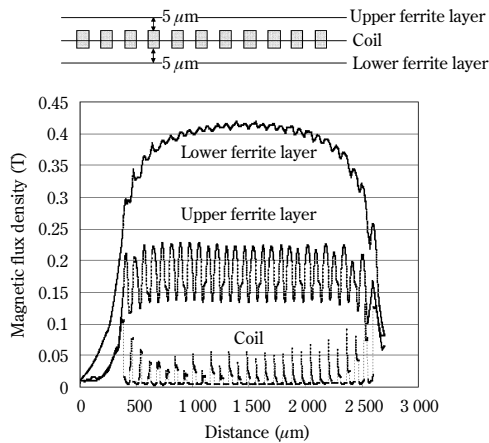


Fig. 6 Magnetic flux distribution of a planar inductor

解析結果を Table 2 にまとめた。磁性体の損失は測定値を用いている。解析モデルの正しいことは、インダクタンス L 、 Q 値ともに実験結果に近い値を再現していることから証明された。この結果によると、全損失抵抗 R_{total} に対する導体の交流損失 R_{ac} の割合は 2.4% と低く抑えられており、本論文で提案する新規構造プレーナインダクタが損失低減に有効なことが解析的に示された。さらなる高性能化を求めようとした場合、損失の大半を占めている導体の直流抵抗 R_{dc} と磁性体の損失 R_{mag} を小さくすることの有効性が、同じく Table 2 から明らかとなった。特に、大きな直流電流がバイアスさ

Table 2 Loss analysis

Magnetic layer		NiCuZn ferrite
Structure		All ferrite
Coil structure		Single spiral 14 turns
Coil thickness (μm)		50
Inductance (μH)		1.4
Loss (Ω)	R_{dc}	0.67
	R_{ac}	0.03
	R_{mag}	0.57
Q factor at 5 MHz		34.4

れた使い方をされる場合、導体直流抵抗 R_{dc} を小さくすることが重要となる。

4 まとめ

磁性層をスクリーン印刷法で形成した NiZn フェライト厚膜を用い、かつ、電気めっき法でスパイラルコイルを形成し、その導体間を磁性体で充填することで、インダクタンス $L = 1.4 \sim 1.5 \mu\text{H}$ 、 $Q = 40 \sim 70$ という高品質なプレーナインダクタを実現した。磁界解析によると、上下磁性層間を渡る磁束のほとんどが導体間のフェライト部分を通っており、このことが導体損失の小さい高 Q 値プレーナインダクタを実現したと理解できた。

参考文献

1) 溝口徹彦：日本応用磁気学会，20(1996)922

2) S. Sugawara, A. Nakamori, Z. Hayashi, M. Edo, H. Nakazawa, Y. Katayama, M. Gekinozu, K. Matsuzaki, A. Matsuda, E. Yonezawa, and K. Kuroki: IPEC-Tokyo, (2000), 303

3) 大谷充昭：EDN Japan, 8(2001)59

4) T. Sato, K. Yamasawa, H. Tomita, T. Inoue, and T. Mizoguchi: IPEC-Tokyo, (2000), 303

5) 小野寺隆視，村上 進，高田健一，白川 究，三寺正雄：第 24 回日本応用磁気学会学術講演概要集，(2000)215

6) 井上哲夫，佐藤敏郎，溝口徹彦：電気学会研究会資料，MAG-95-129(1995)117