

ASCP設計CAD^{*1}村石 嘉人^{*2} 四方 博実^{*2}

CAD System for Application Specific Custom Products

Yoshito Muraishi Hiromi Shikata

1 はじめに

川崎製鉄はサブミクロン ASIC (特定用途向け IC) を設計可能にする CAD システムを開発した。本システムは、トップレベルの市販 CAD ツールと川崎製鉄のオリジナルツールを組み合わせた高性能で使いやすい統合化 CAD システムである。ますます増大する ASIC の大規模化、高速化に対応するために、従来のゲートレベル設計に加え、トップダウン設計も可能にした。また CrossCheck 社のテスト手法を採用し、故障検出用テストパターン作成工数の大幅削減を図った。以下に、本システムの概要を紹介する。

2 EWS ベース統合化設計環境

当社では EWS (Engineering Work Station) ベースの市販 CAD の優秀性に着目し、市販ツールを核として当社オリジナルツールを組み合わせ、統合化設計環境を構築してきた。これにより、システム設計からレイアウト設計まで一貫して EWS 上で設計作業が可能になっている。当社の ASCP 設計フローを Fig. 1 に、CAD システム構成を Fig. 2 に示す。

統合化には Cadence 社のフレームワーク技術を採用し、市販 CAD である Cadence 社ツールと当社ツールが同一の操作感覚でメニュー上から起動できるようカスタマイズされている。またデータベースが共通であるため、当社ツールでの解析結果と Cadence 社ツールで入力した回路図との照合が可能となっており、操作性とデバック効率向上を図っている。

3 トップダウン設計環境

設計規模が増大するとともに、従来のゲートレベルでのボトムアップ設計では設計工数が増大してしまい、所望の設計期間では設計を完了することが困難になりつつある。近年ハードウェア記述言語 (HDL: Hardware Description Language) によるトップダウン設計手法が注目されている。

トップダウン設計の基本構成要素は HDL 記述言語と論理合成ツール、そして機能シミュレータである。当社では HDL 言語として Verilog-HDL、論理合成ツールとして Synopsys 社の Design

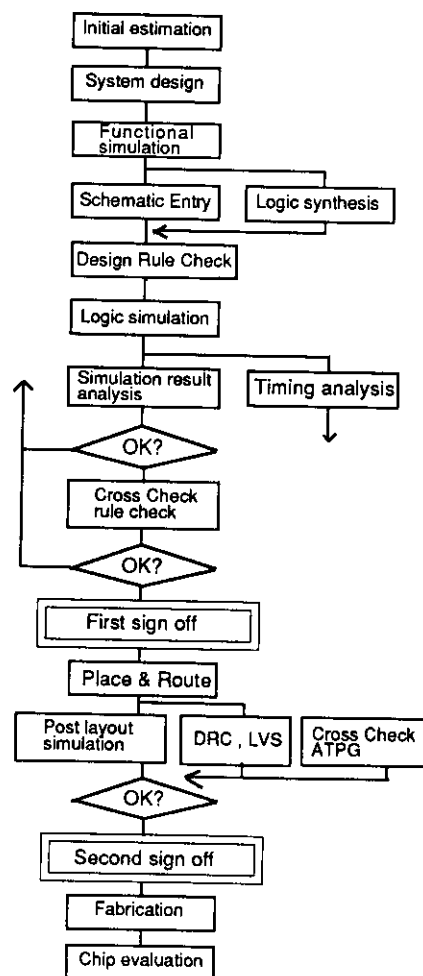
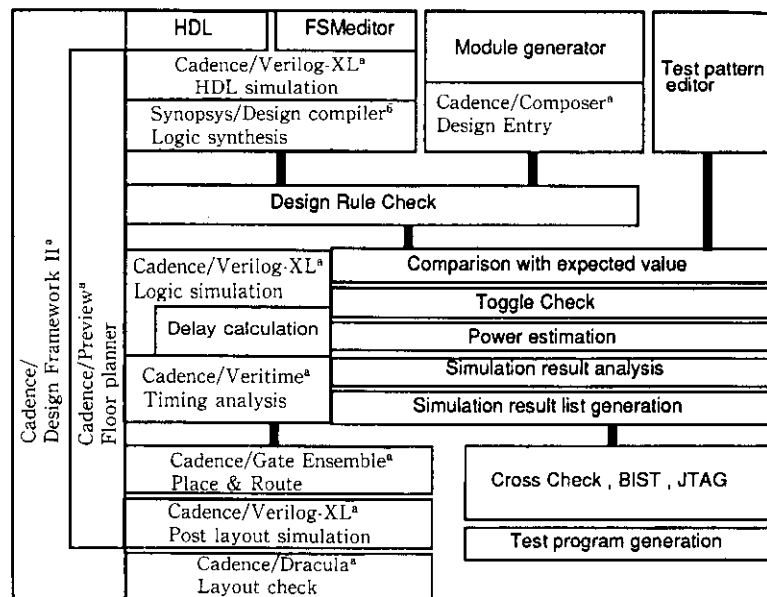


Fig. 1 ASCP design flow

Compiler^{*3}、機能シミュレータとして Cadence 社の Verilog-XL^{**}を採用し、当社独自の HDL 設計ルールチェックとゲートレベル設計環境とのインターフェイスツールを組み合わせ、トップダウン設計環境を構築した。

トップダウン設計では HDL で機能を記述し、機能シミュレータにより、HDL レベルの機能検証を行う。このため設計の初期段階

^{*1}平成 6 年 1 月 27 日原稿受付^{*2}LSI 事業部 開発・設計部 CAD 開発室 主査 (課長)^{*3}Design Compile は米国 Synopsys 社の登録商標です。^{**}Verilog-XL は米国 Cadence Design Systems 社の登録商標です。



^aTrademark of Cadence Design Systems, Inc.

^bTrademark of Synopsys, Inc.

Fig. 2 KSC CAD configuration

でのデバックが行え、仕様ミスの早期発見が可能になる。機能シミュレーションはゲートレベルのシミュレーションに比較し高速に実行できるため、機能の検証期間を短縮できる。さらに論理合成により、RTL(レジスタトランスファレベル)のHDL記述からゲートレベル回路を自動合成することにより、論理回路設計期間を大幅に短縮できる。トップダウン設計手法を採用することにより、従来のゲートレベル設計に比較し、開発期間を30%から50%程度短縮できる。

4 CrossCheck テスト技術

設計規模が増大すると、論理回路設計期間が増大するとともに、故障検出用テストパターン作成期間が膨大になってくる。従来は故障検出用のテストパターンを手で作成し、故障シミュレータでテストパターンの品質を検証する方法が一般的であった。この方法では回路の内部の故障を判別するテストパターンの他に、その判別結果をLSIの出力ピンまで伝搬させるテストパターンが必要であり、LSIが大規模になるとこれらのテストパターン作成が非常に困難になる。これを解決するテスト手法としてスキャンテスト手法があるが、設計上の制約が多く、回路スピードや面積に与えるペナルティが多い等の欠点がある。

CrossCheck テスト方式を採用したLSIはチップ内部に専用のテスト回路を内蔵しており、このテスト回路がテスト対象となるユーザ回路中の全ての内部ノードを観測するための機能を持っている。これにより、CrossCheck方式では故障が発生した内部ノードを直接観測でき、出力ピンまで故障を伝搬させることが不要になり、従来よりも簡単なテストパターンで十分に高い故障検出率を得ることができる。さらにCCL(CrossCheck Control Latch)技術により、回路内のフリップフロップやラッチに直接信号を書き込み、ユーザパターンが無くても自動的にテストパターンを生成することが可能となっている。CrossCheck手法は回路スピードに対するペナルティが無いことも大きな利点である。Fig. 3にCrossCheckテスト方

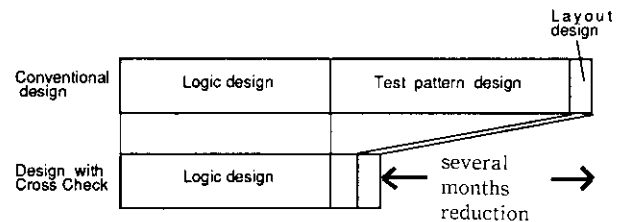


Fig. 3 Effectiveness by CrossCheck test method

式の効果を示す。数万ゲートの設計ではテストパターンの設計期間を数箇月短縮できる。

5 サブミクロンプロセスへの対応

従来の論理シミュレーションでは素子の駆動能力と出力負荷容量により遅延計算を行っていた。しかしサブミクロンプロセスになり、実測値とシミュレーション値の誤差が大きくなってきたため、より一層のシミュレーション精度が必要となってきた。今回、従来に加え入力波形のなまりも考慮して遅延計算を行うシミュレーションモデルを開発し(Fig. 4)、実測値との誤差を10%以下におさえることができた。また微細化に伴い、論理ゲートの遅延時間よりも配

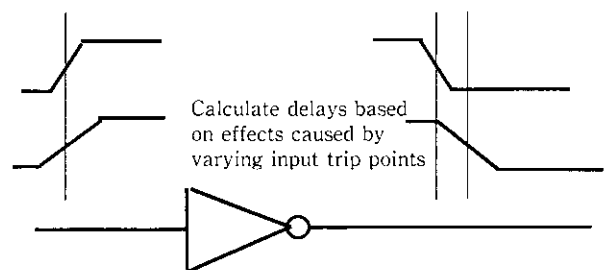


Fig. 4 Slew-rate dependent delay calculation

線負荷に起因する遅延時間が増大してきており、自動配置配線後の実際の配線長に基づく実配線長シミュレーションでタイミングエラーが起きる確率が多くなってきた。この問題点を解決するために自動配置配線前にタイミング制約を与え、その制約を満足するように配線長を最適化するタイミング・ドリブ・レイアウトを実用化した。さらにレイアウトを階層的にデザインするフロアプラン手法も実用化した。

6 当社オリジナルツール

市販のCADツールに加え以下の当社ツールを組み込むことにより、設計期間の短縮と使い勝手向上を図っている。

(1) ジェネレータ

アプリケーションのニーズに合わせた構成、容量で任意に生成可能なRAM、2 Port RAM、ROMのメモリージェネレータと、任意のビット構成のALU、乗算器が生成可能なジェネレータを開発した。これらのジェネレータはCadence社フレームワーク上で動作し、回路図入力用シンボル、論理シミュレータモデル、レイアウト、データシート等を一度の操作で自動生成可能になっている。

(2) FSM Editor (Finite State Machine Editor)

HDLを意識することなく、状態遷移図を直接入力することにより、論理合成可能なHDLを自動生成する状態遷移図入力エディタを開発した。生成されたHDLはそのまま論理シミュレーションに入力し論理検証可能であり、同時に論理合成ツールに入力することによりゲートレベルの回路を自動生成することができ、論理設計期間の短縮を図ることができる。

(3) 設計ルールチェック

設計された論理回路中に駆動能力に問題がある部分がないか、結線に問題がないか、ゲート使用数が当初予定のダイに納まりそうか等をチェックし、次の論理検証工程に進めるか否かをチェックする。

(4) シミュレーション関連ツール

シミュレーション結果が期待値と一致しているかを自動照合する期待値照合ツール、期待値照合結果を反映したシミュレーション結果リスト作成ツール、実行時間がかかる故障シミュレーションの前に回路内のトグル率をチェックしテストパターンの品質を簡易的に検証するトグルチェックツール、回路の消費電力を論理シミュレーション結果から計算しある程度の精度で簡易的に消費電力の検証を行える消費電力計算ツール等を開発

し、論理検証のデバック効率と使い勝手向上を図った。またシミュレーション結果解析ツールは設計したテストパターンがテストターのルールに違反していないか、誤動作につながるノイズを発生していないかをチェックしている。

これらの各種検証ツールによって設計品質の向上と設計TAT短縮を図っている。

7 ASIC デザインキット

近年ASIC顧客では市販CADツールを購入し、顧客サイトでASIC設計環境を構築しているケースが増えている。市販ツールを所有している顧客に対しては、Cadence社のCADシステム“Composer”⁵⁵⁾の他にMentor社の“IDEA”⁵⁶⁾システム、Viewlogic社の“Workview”⁵⁷⁾システム用のデザインキットを提供している。デザインキットは各種CADシステムに対応したシンボルライブラリとシミュレーションライブラリ、および設計ルールチェックを始めとする当社オリジナルツールで構成されている。

8 おわりに

十万ゲート以上の大規模なASICを短期間で設計できるCADシステムを開発した。最新のフレームワーク技術を採用し操作性を大幅に向上させるとともに、トップダウン設計を実用化し、論理検証期間を大幅に短縮可能にした。また数万ゲート以上の大規模回路で特に困難となるテストパターン設計の設計期間を大幅に短縮するためCrossCheckテスト手法を実用化し、従来数箇月かかっていたテストパターン設計を数日程度に劇的に削減可能にした。さらにCadence社を始めMentor社、Viewlogic社等の市販CADのサポートにも力を入れ、ユーザサポートの充実化を図った。

今後は数十万ゲートから百万ゲートクラスのデザインを可能にし、システムオンチップを実現するCADの構築を目指す。

〈問い合わせ先〉

川崎製鉄株式会社 LSI事業部営業部

〒100 東京都千代田区内幸町2-2-3 日比野国際ビル

TEL 03-3597-4619 FAX 03-3597-3634

⁵⁵⁾ ComposerはCadence Design Systems社の登録商標です。

⁵⁶⁾ IDEA-STATIONは米国Mentor Graphics社の登録商標です。

⁵⁷⁾ Workviewは米国Viewlogic Systems社の登録商標です。