

高速内容検索機能付きROM-CAROM^{*1}米田 正人^{*2} 笹間 洋^{*3} 金沢 直樹^{*3}

Content Addressable ROM with a Variable Length Match Function-CAROM

Masato Yoneda Hiroshi Sasama Naoki Kanazawa

1 はじめに

近年の半導体集積化技術の進歩はめざましいものがあり、20世紀には1ギガビットのメモリが実用化され、ごく身近な携帯機器に搭載されているだろうといわれている。つまり、個人がより多くのデータを持つことになる。ところで、従来のメモリは、多くのデータから所望のデータを探し出すことは不得意である。従来のメモリはアドレスアクセス型と呼ばれ、格納データを直接読み出すことができないからである。アドレスを介して、順番に一つずつデータを読んで、探しているデータかどうか比較するからである。これではデータ量が多くなればなるほどデータを探し出しにくくなる。この点に着目し、データ量によらず常に高速なデータ検索が可能な回路技術を開発し¹⁾、128キロビットの高速内容検索機能付きROM「CAROM (content addressable ROM)」を開発した。

2 特徴

このLSIは、以下の三つのモードを持つ。

(1) 通常ROMモード

このモードは、通常のメモリ同様、アドレスによりデータを読み出すことができるモードである。

(2) 内容検索モード

アドレスの代わりにデータを入力し、一致するものがあるかどうか、全ての格納データに対して一度に検索を行う。

(3) 一致アドレス出力モード

内容検索モードで一致した格納データの位置を外部にアドレスとして出力する。

各モードのサイクル時間は120 nsである (Fig. 1)。

本LSIのブロック図をFig. 2に示す。外部データバスは16ビットで、内部の1ワードも16ビットで構成されているが、隣接ワード同志を結合する機能が付加されている。また、各ワードには内容検索モードで外部からのデータと一致したかどうかを示すマッチフラグが設けられている。

^{*1} 平成6年2月28日原稿受付

^{*2} LSI事業部 開発・設計部商品開発室 主査(課長補)

^{*3} LSI事業部 開発・設計部商品開発室

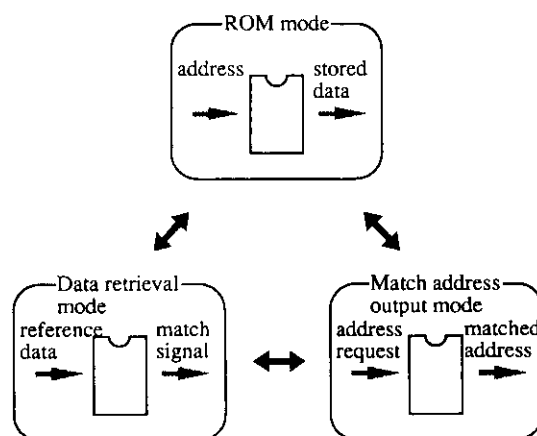


Fig. 1 Three operational modes of CAROM

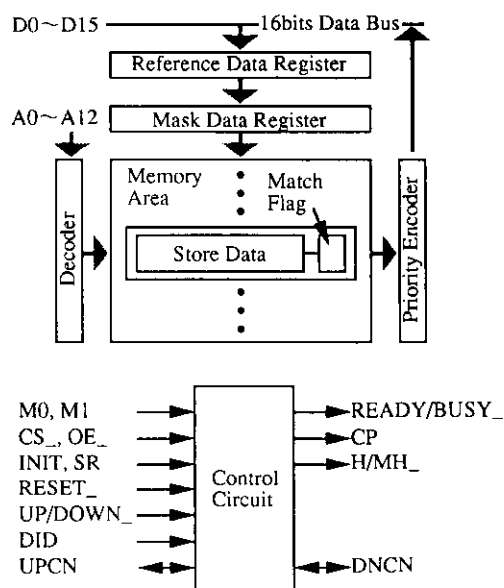


Fig. 2 Block diagram of CAROM

3 動作例

Fig. 3 に動作例を示す。連続したアドレスに“X” “Y” “123”と格納しておく。この最初の二つは、XY という氏名であり、次の123 は、関連データが格納されている別のメモリの番地である。

モードを内容検索モードに設定して、二つのデータ“X”および“Y”で連続検索すると、わずか2サイクルで全ての格納データとの一致比較が行われ、最終的に第*i*番目の“Y”のワードにマッチフラグが立つ。

ついで、一致アドレス出力モードにして、リードパルスを入力すると、“Y”のワードの番地*i*が出力される。この*i*のデータをCPUで一つ増加させて、ROMモードにした本LSIを(*i*+1)番地でひくことで、データ“123”を出力することが可能となる。このデータで、他のメモリ等をひくことで、XYさんに関する情報を直ちに得ることができる。もちろん、検索時のビット単位のドントケア機能や、一致アドレス出力時の複数一致アドレスの順次出力も可能である。

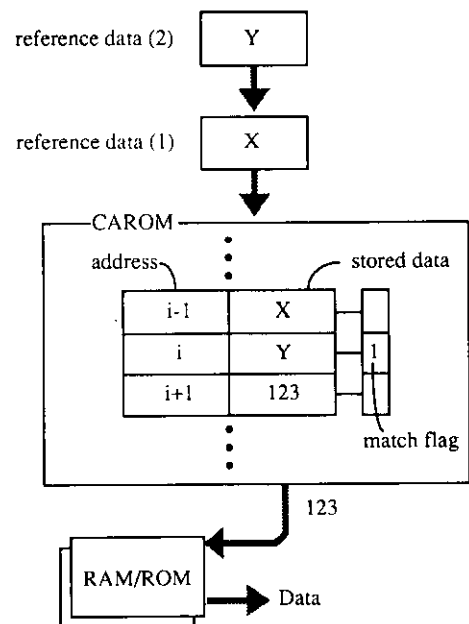


Fig. 3 Data flow chart of CAROM

4 適応範囲

書換が可能なメモリの高速内容検索技術は、最先端のマイクロプロセッサのなかの高速アドレス処理回路として使用されている。また、幾つかの他の使用例²⁻⁴⁾も発表されている。しかし、固定化されたデータのための高速、高集積で可変長データを扱えるものは、本LSIがはじめてである。

本CAROMは、今後の固定データ格納部品として、携帯機器へ

の応用が期待される。また、可変長データを扱えることを特徴としたデータフロー制御への応用も可能である。

さらには、書換可能なメモリとして、高速データ検索エンジンや高速ネットワークのテーブル処理用LSIとして応用することや、これをASICのハードマクロとして応用することも可能である。

参考文献

- 1) M. Yoneda, H. Sasama, I. Hayasibara, and N. Kanazawa: "A 1 Mbit NAND-Type Content Addressable ROM with a Variable Length Match Function," IEEE 1992 Symposium on VLSI Circuits, Digest of Technical Papers, (1992), 86-87
- 2) H. Kadota, J. Miyake, Y. Nishimichi, H. Kudoh, and K. Kagawa: "An 8-kbit content addressable and reentrant memory," IEEE J. of Solid-State Circuits, SC-20(1985)5, 951-957
- 3) T. Ogura, J. Yamada, S. Yamada, and M. Tanno: "A 20-kbit associative memory LSI for artificial intelligence machines," IEEE J. of Solid-State Circuits, 24(1989)4, 1014-1020
- 4) T. Yamagata, M. Mihara, T. Hamamoto, T. Kobayashi, and M. Yamada: "A 288-kbit Full Parallel Content Addressable Memory Using Stacked Capacitor Cell Structure," IEEE Custom Integration Circuits Conference Pro., (1991), 10.5

問い合わせ先

LSI事業部 開発・設計部商品開発室
TEL 043-296-7434