

0.8 μ m CMOS高密度型ゲートアレイ「KZ2H」^{*1}西崎 喜仁^{*2}0.8 μ m CMOS High Density Gate Array “KZ2H”

Yoshihito Nishizaki

1 製品の概要

当社ではますます増大するゲートアレイへの高密度化、高速化、低消費電力化の要求に応えるべく高密度型ゲートアレイ「KZ2Hシリーズ」を開発した。

KZ2Hシリーズは、米国SiArc社のCBA (cell based array) 技術をベースに、当社の0.8 μ m CMOS 2層配線プロセスを用いて開発した全面敷き詰め型ゲートアレイ (SOG: sea of gates) である。KZ2HではCBAアーキテクチャに基づき、基本セル内のトランジスタサイズを複数種類設定するとともに、各サイズのトランジスタをそれぞれ最適な用途に用いることにより、ゲートアレイでありながらスタンダードセルに匹敵する密度、速度、消費電力を実現した。特に回路密度の向上は著しく、従来構造の当社0.8 μ m SOGの約2倍の密度を達成した。以下にこの概要について説明する。

2 製品開発の背景

従来開発されてきたMOSゲートアレイの基本セルは、SRAM用のトランジスタを除きPMOS、NMOSそれぞれに均一なサイズの素子を使用することが通例であった。この場合、素子のサイズが均一であるため、どうしても駆動能力などの面でワーストケースを想定したサイズ設定にならざるを得なかった面がある。

しかしながら、Fig. 1に示したように、実際の回路では大多数のネットの負荷は比較的小さいものが多く、従来の素子のサイズはこれらのネットに対しては過大であることが多かった。これはとりも

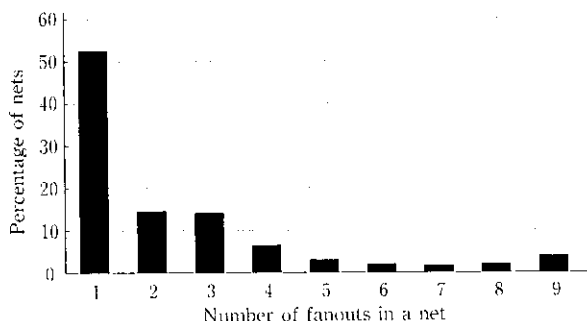


Fig. 1 Fanout distribution in a design

なおさず必要以上のサイズの素子を均一的に敷き詰めることで面積的な無駄が生じていることを意味していた。

また、マクロセルの種類によっては特に順序回路のように、回路動作上、そのマクロセルの機能を実現するには駆動能力の小さな素子で十分な場合がある。この場合でも従来は素子のサイズが均一な大サイズであるため、面積的に無駄が生じていた。

3 製品の特徴

3.1 CBA アーキテクチャ

KZ2HのベースとなっているCBAでは、ネットの負荷分布とマクロセル中の素子の本来の必要最小限サイズを既存の設計内容から統計的に解析し、均一な大サイズ素子の制約を離れて、最も効率の良い素子サイズと各サイズの素子の数を求め、さらにこれらの素子の間の最適な接続形態を決定した。

3.2 性能指標

上記のようなアーキテクチャを採用した結果、従来は相反する要求であることが多かった密度、速度、消費電力の3大性能指標を一挙に大幅に改善することが可能になった。Table 1にKZ2Hの性能指標を、Table 2には当社の他ASCP (application specific custom products) ファミリーであるKG2HおよびKS2Hとの比較をそれぞれ示した。なお、回路密度算出に使用したKZ2Hのゲート使用率は40%である。

特に回路密度については、KZ2Hは従来アーキテクチャのSOGであるKG2Hの約2倍であり、さらにスタンダードセルKS2Hをも上回っている。KG2HとKS2HはCrossCheck社のArrayTest技術を適用しているため面積的なオーバーヘッドが若干あるが、このことを考慮しても新アーキテクチャによる密度向上は大幅なものとなっている。なお、KZ2Hの密度は当社の0.5 μ m従来型SOGの密度(目標値)とほぼ同等である。

また、動作速度と消費電力の面でも従来のSOGおよびスタンダードセルを上回っている。これらについて、Table 2では従来のASCPファミリーと同一の配線長に対して比較しているが、実際にはKZ2Hではチップ面積の低減に対応して配線長も短くなるため、レイアウト後の実際の動作速度および消費電力はさらに改善されることが見込まれる。

したがって、KZ2HによりゲートアレイのTAT (turn around time) のままスタンダードセルと同等の回路性能を持つASICの設計が可能になる。特に回路密度の面では、従来のゲートアレイに

^{*1} 平成6年1月26日原稿受付^{*2} LSI事業部 開発・設計部商品開発室 主査(掛長)

Table 1 Specifications of KZ2H family

Process	0.8 μ m CMOS double layer metal
Delay time ^a	0.27 ns
Max. usable gates	460 K gates
Voltage	5 V $\pm$ 10% 3.3 V $\pm$ 0.3 V 3 V $\pm$ 10%
Power dissipation ^b	3.1 μ W/MHz/gate

^aPower 2NAND, FO=2, AI=2mm^b2NAND, FO=2, AI=0.34mmTable 2 Comparison between KZ2H and other ASCP families
(Relative value, %)

	SOG		Standard cell
	KZ2H	KG2H	KS2H
Density	100	~50	~80
Speed	100	~70	~90
Power	100	~160	~110
CrossCheck		available	available

比べコア面積が50%程度ですむため、同一のダイで従来の約2倍のゲート規模の回路を搭載することが可能になる。また、従来のASCPに比較してより高い動作周波数の動作が可能になる、あるいは消費電力の低減により従来プラスチックパッケージに収まらなかった回路がプラスチックパッケージに搭載可能になるなどの効果が得られる。

これらのことから分かるように、KZ2Hはハイボリューム、ハイエンドの設計に最適な製品である。具体的には、スタンダートセル並みのコスト/性能が必要だが、同時に製品ライフサイクルからみて短TATを要求される案件、また現在ゲートアレイで実装しているが、コストを大幅に削減したい案件に対し、KZ2Hの特徴が最大限に発揮される。

4 製品の内容

4.1 ダイラインアップ

Table 3にKZ2Hのダイラインアップの標準例を示す。最大使用可能ゲート数は46万ゲートに達している。これらに加え、KZ2Hはその高密度性をより有効に活かすため顧客の要求に応じたサ

Table 3 Example of KZ2H die line-up

Die code	No. of available gates	No. of usable gates	No. of pads
KZ2H002	22 382	8 953	68
KZ2H005	48 238	19 295	100
KZ2H007	69 380	27 752	120
KZ2H010	99 806	39 922	144
KZ2H016	155 790	62 316	180
KZ2H021	207 914	83 166	208
KZ2H038	376 430	150 572	280
KZ2H054	541 825	216 730	336
KZ2H080	798 610	319 444	408
KZ2H115	1 154 098	461 639	488

イズのカスタムダイを起こすことにも柔軟に対応する。KZ2Hにはこれを容易化するためのbase array compiler等のツールも用意されている。

4.2 ライブラリ

KZ2Hでは、約150種類のファンクションをもった約350個のCBAマクロセルが用意されている。駆動段の素子の強さにより同一のファンクションで最大4種類の駆動能力を持っており、各セルについて面積と速度のトレードオフが選択できるようになっている。

また、KZ2Hのライブラリは今後一層の普及が見込まれる論理合成手法とマッチングのよいものになっている。具体的には、マクロセルファンクションの種類自体を豊富に揃えたことのほか、各マクロセル入力の極性にバラエティを持たせ、論理合成ソフトウェアが効率の良い極性選択を行えるようにし、回路規模の最小化を行いやすくしたことが挙げられる。

また、CPUやCPU周辺回路等のメガセルについてはKG2Hと同様のものが用意されている。

4.3 SRAM

Table 4にKZ2Hシリーズで利用できるCBA SRAMを示す。基本的には高速性に重点を置いた非同期のSRAMが中心であるが、低~中速で使用する場合は消費電力低減を主眼とした同期型SRAMも選択できるようになっている。

Table 4 Specifications of KZ2H SRAM's

	1-port asynchronous SRAM	2-port asynchronous SRAM	1-port synchronous SRAM
No. of R/W ports	1 R/W	2 R/W	1 R/W
Max. No. of bits	18 K	9 K	36 K
Word range	64 ~ 2 K	32 ~ 1 K	64 ~ 2 K
Bit range	1 ~ 36	1 ~ 36	1 ~ 36
T_{aa} (ns)	5.5 ^a	5.9 ^a	7 ^b
T_{wc} (ns)	3.6 ^a	4.3 ^a	11 ^b

^aFor 32 bits/word $\times$ 512 words^bFor 9 bits/word $\times$ 2 084 words

4.4 CAD システム

CADシステムは一般に普及しているポピュラーな商用ツールをベースとしており、これにKZ2H固有のツールを付加した形になっている。

商用ツールとしては、回路入力にComposer (Cadence社)、論理合成にDesign Compiler (Synopsys社)、シミュレーションにVerilog (Cadence社)、レイアウトにGate Ensemble (Cadence社)を使用している。

これらに付加されるツールとしてSiArc社のDesign Advisor (設計規則検証ツール)、Delay Annotator (Verilog用遅延情報生成ツール)、SRAM Compiler (SRAMジェネレータ)がある。

<問い合わせ先>

川崎製鉄株式会社 LSI事業部開発・設計部商品開発室

〒261-01 千葉県千葉市美浜区中瀬1-3 幕張テクノガーデンB棟5階

TEL 043-296-7448 FAX 043-296-7449