
0.8 μ m CMOS ASCP 製品

0.8-micro CMOS ASCPs

慶田 久彌(Hisaya Keida) 林 博之(Hiroyuki Hayashi) 吉清 恭一(Kyoichi Kissei)

要旨：

0.8 μ m² 層配線 CMOS テクノロジーを採用した ASCP 製品(ゲートアレイ, エンベデッドアレイ, スタンダードセル)を開発した。業界最高水準の最大搭載ゲート規模と低消費電力を実現した。困難化するテストの容易化手法として CrossCheck 社の ArrayTest 技術を採用した。ArrayTest の採用により CrossCheck テスト構造において 0.8 μ m としては初めて非同期回路にも対応可能な ATPG(テストパターン自動生成)を可能にした。さらにメモリー, 8 ビット CPU 等の大規模マクロも用意することにより, システムオンチップのニーズにこたえた。

Synopsis：

The 0.8-micron double layer metal ASCPs(Application Specific Customized Products such as gate array, embedded array and standard cell) have been developed. All products have achieved one of the highest raw gate counts and the least power in the industry. The circuit on the chip has become larger, and the difficulty of the test has increased dramatically. Considering this situation, Kawasaki Steel has decided to introduce the CrossCheck CX-ArrayTest technology into all of the 0.8-micron ASIC products. CrossCheck CX-ArrayTest features the ATPG(automatic test pattern generation) even for the asynchronous circuit. Kawasaki Steel also has developed the BIST circuit for memory testing and JTAG compatible boundary scan circuit for board level testing. For very large system design, the memory or other large functions are indispensable. The 0.8-micron ASCPs support the on-chip memory compiler and the originally developed 8-bit CPU core which is compatible with Zilog Z80.

(c)JFE Steel Corporation, 2003

本文は次のページから閲覧できます。

0.8-micron CMOS ASCPs



慶田 久彌

Hisaya Keida

LSI事業部 開発・設計
部商品開発室 主査
(掛長)

林 博之

Hiroyuki Hayashi

LSI事業部 開発・設計
部商品開発室 主査
(課長補)

吉清 恭一

Kyoichi Kissei

LSI事業部 開発・設計
部商品開発室 主査
(課長)

要旨

0.8 μ m 2層配線CMOSテクノロジーを採用したASCP製品(ゲートアレイ、エンベデッドアレイ、スタンダードセル)を開発した。業界最高水準の最大搭載ゲート規模と低消費電力を実現した。困難化するテストの容易化手法としてCrossCheck社のArrayTest技術を採用した。ArrayTestの採用によりCrossCheckテスト構造において0.8 μ mとしては初めて非同期回路にも対応可能なATPG(テストパターン自動生成)を可能にした。さらにメモリー、8ビットCPU等の大規模マクロも用意することにより、システムオンチップのニーズにこたえた。

Synopsis:

The 0.8-micron double layer metal ASCPs (Application Specific Customized Products such as gate array, embedded array and standard cell) have been developed. All products have achieved one of the highest raw gate counts and the least power in the industry. The circuit on the chip has become larger, and the difficulty of the test has increased dramatically. Considering this situation, Kawasaki Steel has decided to introduce the CrossCheck CX-ArrayTest technology into all of the 0.8-micron ASIC products. CrossCheck CX-ArrayTest features the ATPG (automatic test pattern generation) even for the asynchronous circuit. Kawasaki Steel also has developed the BIST circuit for memory testing and JTAG compatible boundary scan circuit for board level testing. For very large system design, the memory or other large functions are indispensable. The 0.8-micron ASCPs support the on-chip memory compiler and the originally developed 8-bit CPU core which is compatible with Zilog Z80.

1 緒言

近年、数万ゲートから十数万ゲート規模のアプリケーションが身近に見られるようになってきた。これらの大規模回路を1チップのLSIに搭載する際には、(1)消費電力の増大、(2)テストの困難化などが解決すべき大きな課題として浮上してくる。Fig. 1は回路規模と消費電力の関係を示している。ゲート数が1万を超えると消費電力がほぼ1ワットを超えることを示している。安価なプラスチック・パッケージに封止可能なのは通常1ワット程度までで、それ以上はヒートシンクをつけるか熱抵抗の低いセラミック・パッケージを採用しなければならない。低消費電力化がコストの観点から重要であることは明らかである。

また、回路の大規模化とともにテスト・パターンの生成はいっそう困難になる。回路規模が大きくなるとテストすべき回路ノードが増加するのに対し、故障を検出するために回路ノードを制御し、観察するのに必要な入出力信号ピン数は多くても200ピン程度しかない。Fig. 2に回路規模とテスト・パターン生成に要する工数との関係を示す。回路規模の3~4乗に比例して工数が増大していることがわかる²⁾。テスト・パターン生成に何らかの自動化・容易化手法を採用しない限り、できるだけ早く市場に製品をもたらすという観点

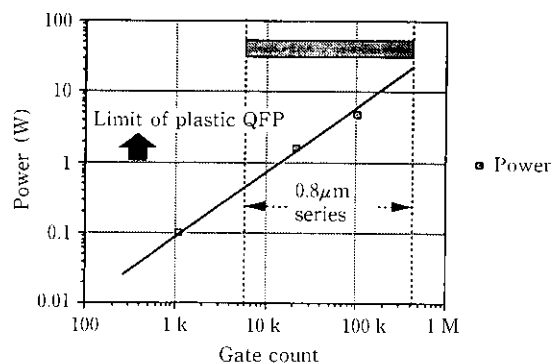


Fig. 1 Example of power increase vs gate count

から大きな問題になることは明らかである。

当社は、0.8 μ mプロセス技術を採用し、低消費電力とテスト容易性の改善に重点を置いたASCP(Application Specific Customized Product)製品を開発したので報告する。

2 製品内容と基本仕様

当社の0.8 μ m 2層配線プロセス技術を採用して開発したゲートアレイ(KG2Hシリーズ)および、スタンダードセル(KS2H

* 平成6年2月23日原稿受付

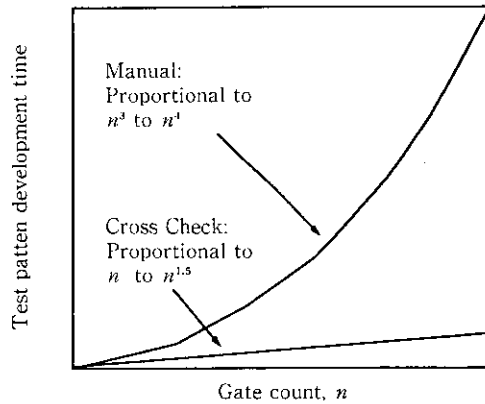


Fig. 2 Relationship between gate count and test pattern development time

Table 1 Specifications of 0.8 μm ASCP

Product	Gate array/ embedded array		Standard cell	
	KG2H/ KE2H series	KL9H/ KE9H series	KS2H series	KS9H series
Design rule	0.8 μm	1.0 μm	0.8 μm	1.0 μm
Available gates	171 k gates	72.2 k gates	257 k gates	107 k gates
Tpd (f.o.2. wire 2mm)	0.4 ns	0.6 ns	0.3 ns	0.7 ns
Cell power	5 μW / MHz	10 μW / MHz	3.3 μW / MHz	5.6 μW / MHz
Cell utilization	~60%	~40%		
Test method	CrossCheck	Normal	CrossCheck	Normal

Tpd : propagation delay (f.o., 2; wire, 2 mm)

シリーズ)の基本仕様をTable 1に示す。エンベデッドアレイ(KE2Hシリーズ)についてはメモリやマクロ・ファンクション以外はKG2Hと同様なので、ここではKG2Hと同じ欄に示してある。KG2HおよびKE2Hシリーズでは当社1.0 μm (KL9Hシリーズ, KE9Hシリーズ)の約2.4倍の最大搭載可能ゲート数(4 Tr.=1ゲート換算)と約1/2の消費電力を達成し、また遅延時間も33%向上している。KS2Hシリーズにおいても当社1.0 μm (KS9Hシリーズ)比で約2.4倍の最大搭載可能ゲート数、約1/2の消費電力を達成している。

KG2HおよびKE2Hの両シリーズともテスト容易化手法として米国CrossCheck社のテスト方式CX-ArrayTestを採用しており、増大するテスト・パターン生成工数を劇的に削減することを可能にした。さらにKS2Hシリーズでもスタンダードセル製品としては世界で初めてCrossCheckテスト回路を搭載しており、テスト容易化を強く意識したASCP製品群を形成している。

3 0.8 μm CMOS-ASCP 製品の技術

3.1 プロセス技術

当社0.8 μm プロセス技術の仕様をTable 2に示す。配線幅、コンタクト・サイズなどを縮小し配線ピッチを大幅に改善した。Fig. 3に学会などで報告されているプロセス技術と配線ピッチの関係を示す^{3,4)}。当社0.8 μm プロセスの配線ピッチが0.8 μm 世代では群を抜いて小さく、ほぼ0.5 μm 世代に相当するものであることがわかる。

3.2 基本セル

低消費電力かつ高密度を実現する基本セルを開発した。低消費電力化のため、トランジスタ・サイズを縮小し入力容量と貫通電流を抑えた。また、高密度を達成するために配線領域を多く取れる基本セル構造を採用し、配線効率の向上を図った。さらにKG2HシリーズではシングルポートRAMの1ビットを1セルで構成できるような構成を採用し、大規模ASICでは必須となるメモリを効率よく実現できるよう工夫した。CrossCheckテスト回路を構成するための極く微小なトランジスタ(センス・トランジスタ)を含めると、基本セルは合計九つのトランジスタからなっている。

KS2HシリーズのセルはKG2Hシリーズの基本セルのトランジスタ・サイズを最適化し、また不要なトランジスタや拡散層を取り除いた。ランダム回路20kゲート(4 Tr.=1ゲート換算)、シングルポートRAM16kビットというメモリ混載回路を例に、各製品の面積をFig. 4に比較して示す。KL9H(1.0 μm)、KG2H、KE2H、およびKS2Hシリーズで構成した際の面積を、KG2Hシリーズを1とした際の相対比で示してある。

Table 2 Key process parameters

Parameters	Nominal values
Channel length (P/N)	0.8 μm /0.8 μm
Device Vt. (P/N)	0.7 V/-0.7 V
Gate oxide thickness	15 nm
1st metal pitch (width+space)	2.4 μm
2nd metal pitch (width+space)	2.4 μm
Contact size	0.8 μm
Via size	0.8 μm

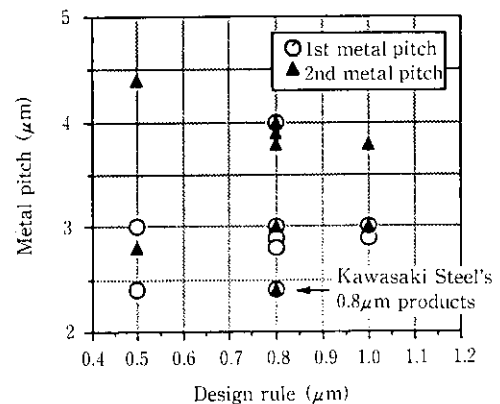


Fig. 3 Reported metal pitch vs design rule

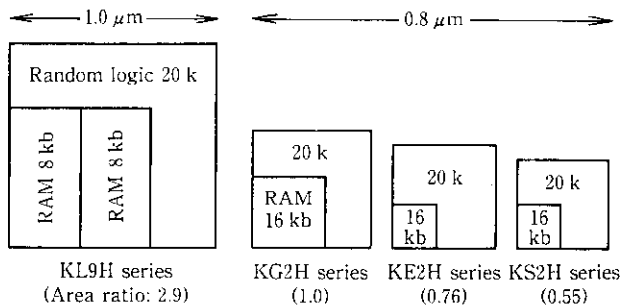


Fig. 4 Area comparison between Kawasaki Steel's ASCPs

3.3 CrossCheck テスト技術

CrossCheck テスト回路を搭載したLSIのイメージ図をFig. 5に示す。CrossCheck テスト回路ではあらかじめマトリクス状のセンス線とプローブ線をチップ上に配置し、その交点にセンス・トランジスタと呼ばれる微小なトランジスタを設けてある。ライブラリ・セルは出力端子と内部ノードにセンス・トランジスタを付加して設計され、自動配置配線を行った際にこれらがマトリクス状のテスト回路に組み込まれる。

テストを行う際にはセンス線、プローブ線がテスト・エレクトロニクスと呼ばれるプローブ線ドライバー、コントロール回路などにより駆動され、回路の電圧情報をセンス線レシーバにより順次読みだされる。この電圧情報はそのままではデータ量が多すぎるため、LFSR (linear feedback shift register) 回路により圧縮され、シグニチャー (signature) として出力される。得られたシグニチャーと論理シミュレーションにより求めた良品のシグニチャーとを比較することにより、良否の判定を行う。

回路中の全ての点の電圧情報を読みだすことができるので、可観測性 (テスト性を表す一つの尺度) が優れている。従来ではLSIの出力ピンでしか値を読みだせなかったのに対し、CrossCheck テストではセンス線、プローブ線のマトリクスの交点全てで値を読みだすことができる。CX-ArrayTest ではさらにテスト・エレクトロニクスからセンス線を介し、CCL (cross control latch) と呼ばれる構造を持つフリップ・フロップなどの順序回路に値を書き込むことができる。したがって可制御性 (テスト性を表すもう一つの尺度) を併せ持つことができる。CCL 構造を持つフリ

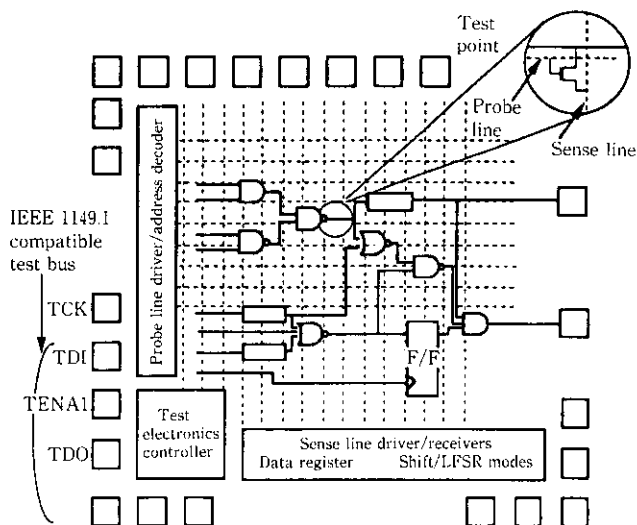


Fig. 5 CrossCheck Test circuits

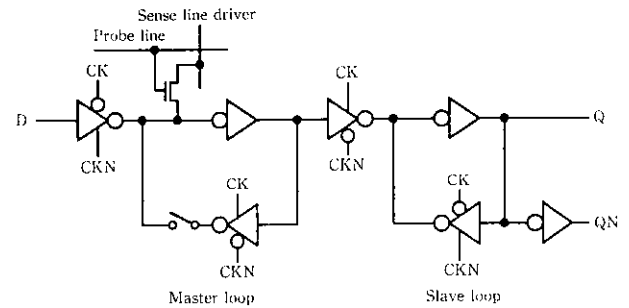


Fig. 6 Cross control latch (CCL) structure

ップ・フロップの回路図をFig. 6に示す。マスター・ループをスイッチで切り、その間にセンス線ドライバーから値を書き込む。CX-ArrayTest ではこの可制御性を利用したテストパターン自動生成 (ATPG: automatic test pattern generation) が可能で、ATPGの非同期回路への対応も可能となっている。

当社のKG2HおよびKE2Hシリーズは0.8 μ m ASCP製品では初めて、可制御性を持つCX-ArrayTestをサポートしている。またKS2Hシリーズでは独自の機構により、スタンダードセル製品としては世界で初めてCX-ArrayTestのサポートを可能にしている。

3.4 BIST 回路およびバウンダリ・スキャン回路

3.4.1 BIST 回路

CX-ArrayTest によるテスト容易化以外にも、テスト容易化を達成するための仕組みを開発した。大規模なASCPにはRAM、ROMなどのメモリを搭載するケースが多い。メモリには通常の論理回路とは異なる故障モードがあるため、出荷検査時にはマーキングやチェッカーと呼ばれる特殊なテスト・パターンを印加する必要がある。これらのテスト・パターンはメモリの知識が無いユーザーが作成するのが難しいこと、また作成したテスト・パターンが一般に数十キロワードと非常に長いものになってしまうなどの問題があった。テスト・パターンが長くなると高価なLSIテストを占有する時間が長くなり、テスト・コストが増加する。

これらを解決するためにメモリ・テスト用のBIST (built in self test: 自己診断) 回路を開発した (Fig. 7)。テスト・パターン生成機能と比較機能を持ち、複数メモリ・ブロックのテストを扱うことができる。テスト専用ピンを1ピン必要とするが、その他のピンは通常回路の信号ピンと兼用できる。本BIST回路を用いれば、ユーザーがメモリのテストをケアする必要はない。BIST回路はユーザーの使用メモリ仕様に合わせてジェネレーター・プログラムにより生成される。その際、BIST回路自身のテスト・パターンも同時に生成されるため、ユーザーはBIST回路のテスト・パターン

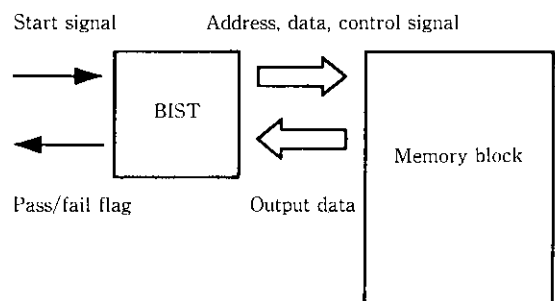


Fig. 7 Memory testing with BIST (built in self test) circuit

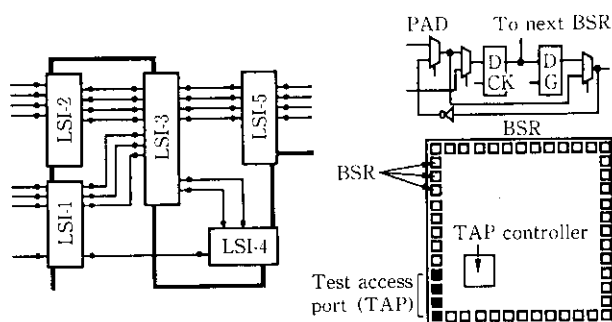


Fig. 8 IEEE 1149.1 (JTAG) boundary scan circuits

生成をケアする必要はない。

3.4.2 バウンダリ・スキャン回路

近年、狭ピッチの表面実装技術が進歩するにつれ、ボード上にプローブを立てる従来のボード・テスト手法が使えないケースが出てきた。そこでボード・テスト容易化のため、バウンダリ・スキャン方式と呼ぶテスト方式がJTAG (Joint Test Action Group) により制定された (Fig. 8)。バウンダリ・スキャン方式³⁾はその後、IEEE の1149.1規格として標準化されている。この方式はバウンダリ・スキャン・レジスタ、TAPコントローラなどのテスト回路をあらかじめLSI内部に設けておき、これらを介しボード上のLSI間の結線や、LSI自身の機能をテストしたりするというものである。

KG2Hシリーズ、KE2Hシリーズ、KS2Hシリーズではバウンダリ・スキャン・レジスタを独自の方法でチップ上に構築し、面積ペナルティ・ゼロかつスキュー・フリーなバウンダリ・スキャン回路を実現した。バウンダリ・スキャン回路で必要なTAP (test access port) と呼ばれる信号ピンは、CrossChesのCTAP (Cross Check test access port) と兼用化されており信号ピンのペナルティも最小化されている。

バウンダリ・スキャン回路はソフトウェアにより自動合成されるため、ユーザーによる手設計は不要である。自動合成の際、バウンダリ・スキャン・レジスタの接続順序がレポートされるのでユーザーはそれに基づき、ボード・テスト用のテスト・パターンをBSDL (boundary scan description language) などにより記述する。

3.5 メモリおよびマクロ・ファンクション

0.8 μ m ASCPではボード上の複数のLSIと多数のMSIを1チップに集積することが可能になる。そのような大規模ASICでは、メモリやCPUのようなマクロ・ファンクションの搭載が必須になる。

Table 3に、KG2HおよびKS2Hシリーズで開発したメモリ

Table 3 Specifications of memory

Product	KG2H series (gate array)		KS2H series (standard cell)	
	RAM	ROM	RAM	ROM
Ttype	Synchronous	Synchronous	Synchronous	Synchronous
Control				
Words	16~2 000	8~2 000	16~8 000	16~64 000
Bits	1~36	1~64	1~36	1~128
Access time ^a	10.5 ns	8.4 ns	8.5 ns	10.2 ns
Power	Zero standby	Zero standby	Zero standby	Zero standby

^a 1 k-word $\times$ 8 b, typical condition

Table 4 Feature of KC80 8bit CPU core

Items	Description
Operation voltage	2.7 V~5.5 V
Operation frequency	DC~10 MHz
Instruction fetch cycle ^a	1 cycle
External bus width	8 b
Internal bus width	16 b
Power (0.8 μ m, 10 MHz)	50 mW
Instruction	Z80 compatible

^a Typical case

の仕様を示す。全て同期型であり、ゼロ・スタンバイの低消費電力設計になっている。ジェネレータ・プログラムにより、所望のサイズのメモリを生成することができる。

また同時に開発した高速8ビットCPUコア「KC80」の諸元をTable 4に示す。KC80の詳細は本紙の新製品紹介にて詳しく述べられているが、8ビットのスタンダード製品の一つであるZilog社のZ80とオブジェクト・レベルの命令互換性を備えている。しかしながら処理能力や消費電力の観点から大幅な性能向上がなされており、携帯機器などのアプリケーションにも最適なアーキテクチャになっている。

3.6 低熱抵抗パッケージ

基本セルの消費電力を約1/2に削減 (1.0 μ m比) にしただけでは、最大2.4倍にも及ぶ0.8 μ m ASCP製品の高密度メリットを生かしきれない。また、システムの動作周波数が年々高速化していることも考慮すると、チップを封止するパッケージ側の対策も必要になってくる。そこで、従来の42アロイに代わって、銅製のリードフレームを使ったヒート・スプレッド付きの低熱抵抗プラスチック・パッケージ製品を開発した。Fig. 9に低熱抵抗パッケージの熱抵抗と風速の関係を示す。セラミック・パッケージ以下の低熱抵抗が得られていることがわかる。本パッケージは従来のプラスチック・パッケージに比べ若干高価ではあるが、セラミック・パッケージよりは格段に安価である。

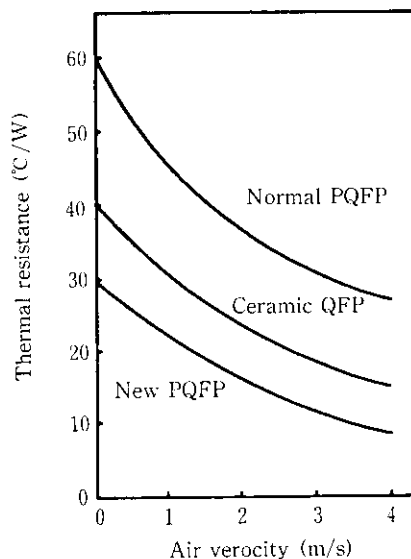


Fig. 9 Thermal resistance characteristics of packages

4 適用例

4.1 画像処理プロセッサ

KG2Hシリーズを用いて、 5×5 のピクセル・ウィンドウに演算処理を施す画像処理プロセッサ・チップを設計した。Fig. 10に本画像処理プロセッサのブロック・ダイアグラムを示す。14.5キロビットのSRAMと12キロゲートのランダム回路よりなっている。消費電力は約300 mWで1.0 μ m比で約60%に削減できた。Fig. 11にCX-ArrayTestにより生成したテスト・パターン数と故障検出率 (fault coverage) の関係を示す。従来の人手によるテスト・パターン生成と故障シミュレーションの場合を比較のために示してある。CX-ArrayTestの方が容易に高い故障検出率を得ることができ、5キロワードで95%以上の故障検出率を達成することができた。

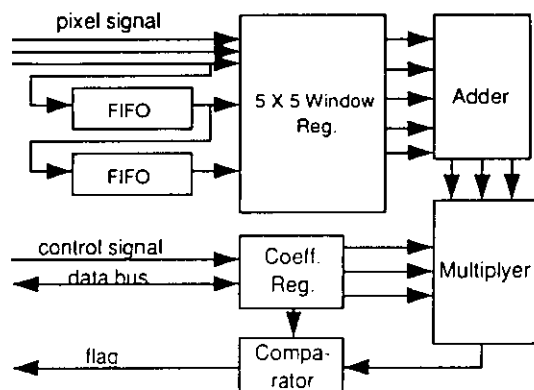


Fig. 10 Block diagram of image processor

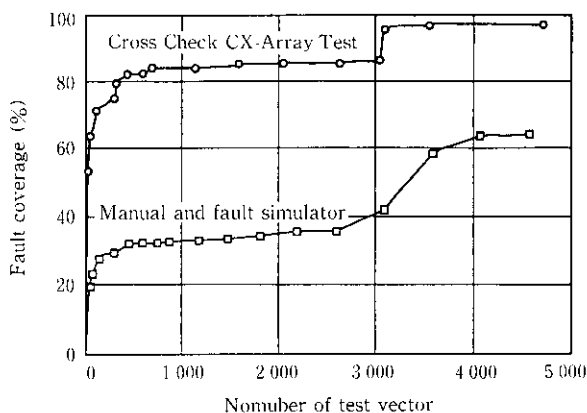


Fig. 11 Comparison of fault coverage between CX-Array Test and normal method

4.2 マルチ・プロセッサ

また8ビットCPUコア「KC80」を7個使ったマルチ・プロセッサ・チップ (Photo 1)もKG2Hシリーズを用いて設計した。ブロック・ダイアグラムをFig. 12に示す。64キロビットのSRAMブロックを二つ持ち、マスター・プロセッサが六つのスレーブ・プロセッサを制御する構成になっている。高密度かつメモリを効率よく

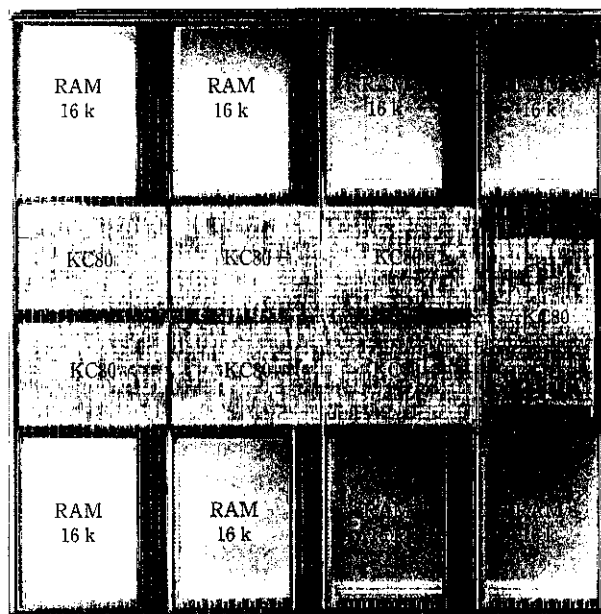


Photo 1 Multi processor chip

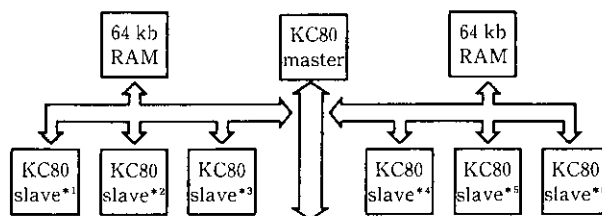


Fig. 12 Multi processor system

構成できる基本セルにより、総トランジスタ数が約100万にのぼる大規模システムをゲートアレイ上で実現することができた。

5 結 言

- (1) 消費電力、テストを重点的に対策した0.8 μ m ASCP製品を開発した。
- (2) メモリ、CPUコアなどのマクロ・ファンクションを開発し、大規模システム構築に必要な機能をそろえた。
- (3) 画像処理プロセッサ、マルチ・プロセッサなどのチップを設計しその有効性を検証した。

参 考 文 献

- 1) 中村健: 日経マイクロデバイス, Sep(1989), 91-99
- 2) CrossCheck Technology Inc.: TestVision Seminar Text, (1989) 11
- 3) 宮崎信之: 日経マイクロデバイス, Apr(1989), 88-92
- 4) G. Boudon, P. Mollier, J. P. Nuez, F. Wallart, A. Bhattacharyya, and S. Ogura: IEEE Journal of Solid-State Circuits, 23(1988)5, 1176-1181
- 5) D. McClean, S. Banerji, and L. Whetsel: 日経エレクトロニクス, Dec(1989), 314-320
- 6) 川崎製鉄(株): ASICガイド, (1993)