要約版

川崎製鉄技報
KAWASAKI STEEL GIHO
Vol.24 (1992) No.1

シストリックアレイＬＳＩ搭載の次世代画像処理装置の開発
Image Processing System with New Systolic Array LSI

一瀬　彰(Akira Ichinose)　鈴木　健司(Kenji Suzuki)　脇本　良則(Yoshinori Wakimoto)　柳澤　満(Mitsuru Yanagisawa)　浅野　有一郎(Yuichiro Asano)

要旨：
川崎製鉄は米国 HNC 社と共同でシストリックアレイと呼ばれる並列処理の構造を持つ画像処理 LSI を開発した。1 チップに８×８のアレイを集積しているが，より規模の大きい 64×64 までのコンボリューション演算が可能であり，また，画像の大きさは最大 4096×4096 画素の範囲で利用者が指定できる。このように，従来の制約を解消しながらも処理時間は増大しないことを特徴としている。現在開発を進めている次世代画像処理装置「画像博士Ⅱ」は，この LSI と汎用の RISC プロセッサを搭載した高い処理能力を持つシステムである。加えて，ソフトウェアとハードウェアの画面における高いモジュール設計によって，拡張性と適応性に優れている。

Synopsis：
An LSI with a new type of systolic array was developed jointly by Kawasaki Steel Corp. and HNC, Inc. for image processing application. This LSI is capable of performing convolution operations with a larger kernel than its 8×8 array. Because the image size can be adjusted put to 4096×4096 pixels as required, the new chip avoids the restrictions involved in processing images of various sizes and with variable-sized kernels. A new high-performance image processing system is now being developed using this LSI in combination with a general-purpose RISC processor. Modular designs in both the software and hardware give the system outstanding expandability and flexibility of application.

(c)JFE Steel Corporation, 2003

本文は次のページから閲覧できます。

シストリックアレイ LSI 搭載の次世代画像処理装置の開発*

川崎製鉄技報
24 (1992) 1, 26-31

Image Processing System with New Systolic Array LSI

一瀬 彰
Akira Ichinose
新事業本部 システム・エレクトロニクス事業部技術部 主査(掛長)

鈴木 健司
Kenji Suzuki
新事業本部 システム・エレクトロニクス事業部開発部 主査(掛長)

脇本 良則
Yoshinori Wakimoto
新事業本部 システム・エレクトロニクス事業部開発部

柳澤 満
Mitsuru Yanagisawa
川鉄システム開発㈱ FA 開発部第1 FA グループ 課長

浅野 有一郎
Yuichiro Asano
新事業本部 システム・エレクトロニクス事業部開発部 主査(課長)

要旨

川崎製鉄は米国 HNC 社と共同でシストリックアレイと呼ばれる並列処理の構造を持つ画像処理 LSI を開発した。1チップに 8×8 のアレイを集積しているが，より規模の大きい 64×64 までのコンボリューション演算が可能であり，また，画像の大きさは最大 4 096×4 096 画素の範囲で利用者が指定できる。このように，従来の制約を解消しながらも処理時間は増大しないことを特徴としている。現在開発を進めている次世代画像処理装置「画像博士II」は，この LSI と汎用の RISC プロセッサを搭載した高い処理能力を持つシステムである。加えて，ソフトウェアとハードウェアの両面における高いモジュール設計によって，拡張性と適応性に優れている。

Synopsis:

An LSI with a new type of systolic array was developed jointly by Kawasaki Steel Corp. and HNC, Inc. for image processing applications. This LSI is capable of performing convolution operations with a larger kernel than its 8×8 array. Because the image size can be adjusted put to 4096×4096 pixels as required, the new chip avoids the restrictions involved in processing images of various sizes and with variable-sized kernels. A new high-performance image processing system is now being developed using this LSI in combination with a general-purpose RISC processor. Modular designs in both the software and hardware give the system outstanding expandability and flexibility of application.

1 緒　言

近年，画像処理で扱う画像サイズは多様化し，従来の 512×480 画素のカメラ入力以外にスキャナやハイビジョンカメラ入力あるいは顕微鏡画像などさまざまな大きさの画像に対応したいという要求が強くなっている。すなわち，画像処理装置側で画像のサイズを限定することは困難になってきている。一方，画像処理の速度についても要求は厳しく，処理の高速化とともに，画像サイズの増大に対しては面積に比例した時間で処理が終了することが望まれている。

画像処理の基本演算である二次元のコンボリューションは，m 行 n 列の出力の要素 o_{mn} について次の式で与えられる。

$$o_{mn}=\sum_{i=0}^{K-1}\sum_{j=0}^{L-1} w_{ij} * p_{m+i\ n+j}$$

ここで，扱う画像はその i 行 j 列の要素を p_{ij} とする二次元配列であり，二次元の重み行列（カーネル）はその i 行 j 列の要素が w_{ij} で大きさは K 行 L 列である。

カーネルサイズの大きいコンボリューションは，その要求がありながらも実用に耐える処理速度を実現する手段がなかったために実際にはあまり使われてこなかった。従来の画像処理ハードウェアあるいはアルゴリズムは，3×3 のカーネルサイズ (**Fig. 1** 参照) でのコンボリューションや判断処理を中心に作られている。そのハードウェアの構造の多くは，Fig. 1 に示すように，2 ライン分のシフトレジスタを用意してコンボリューションや判断処理に必要な入力を集めて演算をするものである。この構造ではシフトレジスタを使うために扱える画像のサイズに制限が発生する。たとえ可変長のシフトレジスタを使ったとしてもシフトレジスタの最大長に制限されてしまう。また，より大きなカーネルサイズに拡張しようとすると，さらにハードウェアの規模が増大する。あるいは，3×3 のハードウェアを繰り返し使って大規模なカーネルの演算を実現する場合には，結果的にホストに大きな負荷がかかってしまい，高速化は困難である。これらは主にデータのアクセス方法に起因している。

そこで，このような問題を解決してより柔軟性の高いシステムを提供すべく，米国 HNC 社の考案したアーキテクチャをもとに画像処理 LSI を共同開発した。さらに，この LSI を中心に次世代の画

* 平成3年11月20日原稿受付

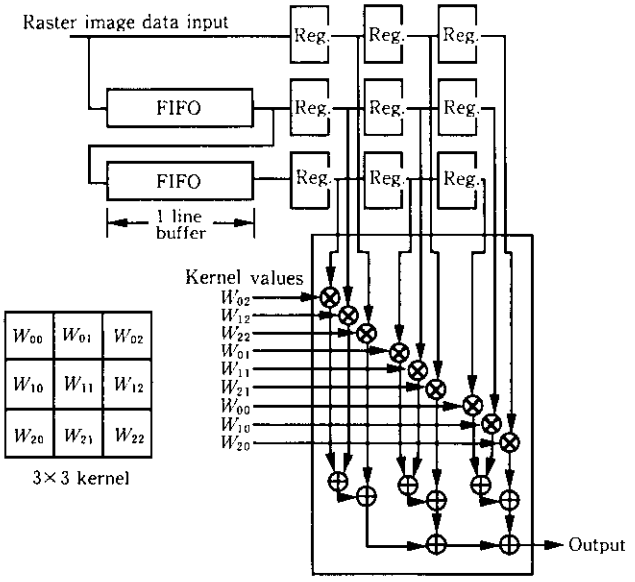

Fig. 1 Conventional 3×3 convolution hardware

像処理装置「画像博士II」を開発中である。画像博士IIでは，画像処理あるいは画像を利用した検査，計測および認識の分野で広く利用できるように，当社の従来商品である「画像博士」の開発・販売活動の中で得た以下の要求を反映させている。

(1) 大画面処理
(2) FFT，Hough 変換などの複雑な演算の高速処理
(3) 画像処理のプログラムの画像処理装置上での記述・実行
(4) ハードウェアの拡張性（周辺装置の付加など）
(5) 多機種ワークステーションへの接続の容易さ
(6) フィールドでの単独動作

以下では，開発したシストリックアレイ構造画像処理 LSI の概要を述べ，次に現在開発を進めている画像博士IIについて報告する。

2 シストリックアレイ構造画像処理 LSI

2.1 背　景

画像処理はさまざまな方面で用いられるようになり，従来の 512×480 画素のカメラ入力だけでは対応しきれなくなってきた。ハイビジョンカメラは 1 920×1 035 画素であり，顕微鏡画像は 1 024×1 024 画素程度の画像になる。スキャナ入力ではさらに大きな画像を扱う必要がある。これまでのように画像処理装置の都合で扱う画像サイズを決めてしまうのではなく，用途に応じて入力手段や解像度を選ぶという本来の要求に応えなければならない状況になっている。

一方，処理の内容についても高い要求がある。例えば，最近注目を集めている画像のニューラルネットワーク処理のアルゴリズムでは，しばしばコンボリューション演算を用いる。このとき，コンボリューションのカーネルに相当するニューロン層の間での結合のウィンドウのサイズは多くの場合，従来の画像処理に用いられてきた 3×3 のカーネルよりも大きい。ネットワークモデルで大規模なコンボリューションを用いている例を二つ挙げると，Grossberg の Bounday Contour Systems[1] と，Eekman, Colvin および Axelrod による動き検出のための網膜モデル[2] がある。これらに使用されるウィンドウサイズは視覚システムのさまざまなモデルや層に応じて 4×4 から 24×24 の大きさをとる。また，従来の画像処理の延長においても 7×7 以上のコンボリューションがノイズに強い処理を構築する上で有効であることが知られている。このように，カーネルサイズが可変でかつ大きなものまで高速に処理できることが望まれている。

2.2 シストリックアレイ

シストリックアレイは，プロセッシングエレメント (processing element) と呼ぶ処理の単位回路を配列し，データを同期的に一方向に伝達して処理を実行する機構である。各単位回路の構造は同じで，データは異なるが処理の内容は同様である。データの流れは幾つあっても，流れごとに方向が違ってもかまわない。また，配列は一次元的にも二次元的にも構成される。1970 年代以来，数多くのシストリックアレイアーキテクチャが信号・画像処理の応用に提案され，用いられてきた。1982 年の文献では H.T. Kung が多くのアレイを記述し分類を行っている[3]。

Fig. 2 に 4×4 の二次元のシストリックアレイの例を示す。

プロセッサをシストリックアレイ構造にすることは，計算量の多い処理をこなすために複数のプロセッサを適用する上で非常に有効な方法である。例えば，行列の乗算や一次元/二次元の信号のフィルタリングなどはその直接的な応用に適している。

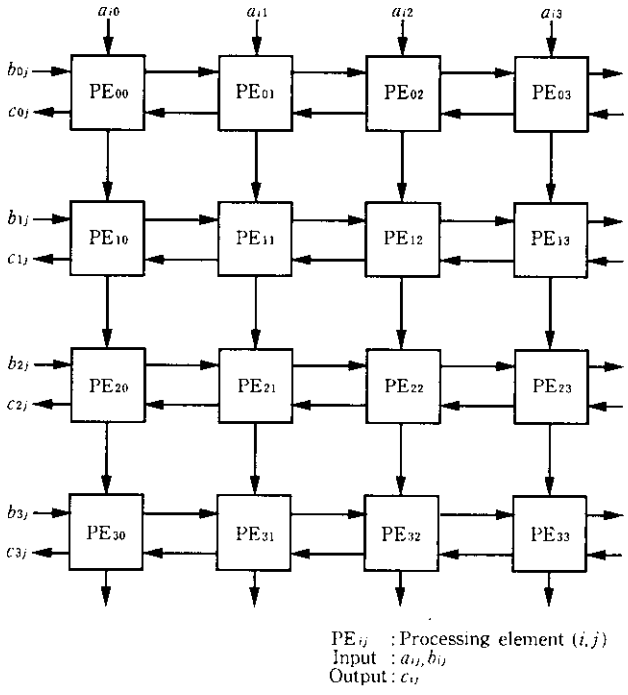

Fig. 2 An example of 4×4 systolic array

2.3 シストリックアレイ構造画像処理アーキテクチャ

HNC 社が提案した新しいシストリックアレイアーキテクチャの応用として，シングルチップで大きなカーネルサイズのコンボリューションを実現する LSI を設計・製作した。1 チップ上に 8×8 のアレイを集積している。この LSI を用いると，8×8 のコンボリューションが 1 回の処理で，16×16 のコンボリューションが 4 回の処理で実現できる。コンボリューションのカーネルやニューラルネットでのウィンドウが実際のアレイよりも大きい場合にも，中間値や部分和を計算したり保存したりすることなく処理できる。つまり，

このアーキテクチャでは各回の処理で異なる位置の結果を直接計算して出力できることを特徴としている。

したがって，大規模なカーネルの演算を複数回に分割して処理することが可能である。例えば，8×8 のアレイで 16×16 のコンボリューションを行う場合には，各回の処理で四つに一つの割合で出力を計算し，これを出力の部位を変えて 4 回繰り返す。

他のシストリックアレイアーキテクチャによるコンボリューションでは，必要な計算をするのにカーネルの大きさだけのエレメントを実際に用意し，カーネルと同じ構成で接続しなくてはならない。実際に処理するカーネルのサイズに相当するハードウェアを用意しなければならないことは，利用する上で非常に不便である。このような LSI を使った画像処理ボードのユーザは，アレイのサイズの限界に達するまでは高いパフォーマンスを得ることができる。しかし，ひとたび限界を超えるとパフォーマンスは急激に低下する。そして，これまでユーザがアルゴリズムを開発する場合やアプリケーションソフトウェアを作るときに，カーネルが限界のサイズを超えて処理時間が大きく増加することを避けて小さなカーネルで済ませる傾向を招いてきた。例えば，ラプラシアンフィルタなどのエッジ強調手法のように，カーネルサイズが 7×7 あるいはそれを超えるものを用いるとノイズ依存性が少なくなるということが知られていても，計算時間がかかりすぎるためにこれまであまり使われてこなかった。一般に，大きなカーネルを用いるエッジ強調手法は小さなカーネルのものに比べノイズに強い。

また，人の視覚処理システムのニューラルネットワークモデルは，大きなウィンドウを実現するのに安価で十分な能力を持つハードウェアが利用できないという理由だけで，主としてソフトウェアで実行されるかあるいは実際には応用されてこなかった。

本アーキテクチャはカーネルやウィンドウのサイズがその応用に与えてきた制約を除くものである。

2.4 LSI の概要

今回開発した LSI は，シストリックアレイ LSI とコントローラ LSI の二つからなり，これを組み合わせて用いる。シストリックアレイ LSI は 8×8 のシストリックアレイを，コントローラ LSI は演算器，ルックアップテーブル（テーブル参照による値の変換回路）およびアドレスジェネレータを内蔵している。周辺には三つのメモリブロックと一つのホストバスがつながるように設計した。CPU の介在なしにホストバスとの間で直接データを転送する機能をサポートする。なお，このデータ転送とコンボリューションは並列に実行可能である。外部メモリとして DRAM を直接接続することを想定して安価なシステムを構築できるよう考慮している。各メモリブロックは最大 16 MB まで対応できる。扱える画像サイズはアドレスジェネレータとメモリサイズの制約から 4 096×4 096 画素までである。画像データは一般に使用されているラスタ形式でメモリブロックに格納する。また，部分画像を扱うことも可能である。処理画像サイズの指定はX方向は 4 画素ごと，Y方向は 1 画素ごとに行うことができる。

なお，コンボリューションのカーネルのサイズは 8×8 から 64×64 までを一つのチップセットで対応できる。8×8 より大きなカーネルでさらに高速の処理が要求される場合には，シストリックアレイ LSI を複数個用いて実際のカーネルの大きさのアレイを構成することによって 32×32 (16 個) までのサイズに対して 8×8 と同等の速度を実現できる。このときコントローラ LSI は 1 個だけ使用すればよい。

そのほかに特徴的な機能としては，行列ベクトル乗算や一次元コンボリューションがある。

Table 1　LSI function list

One-dimensional convolution
Two-dimensional convolution
Matrix-vector multiplication
Gray scale transformation with look-up table
Constant operations—Add, Subtract, Multiply, Divide, AND, OR, XOR, NAND, NOR, XNOR (bitwise)
Inter-image operations—Add, Subtract, Multiply, Divide, AND, OR, XOR, NAND, NOR, XNOR (bitwise)
3×3 window binary image pattern matching
Comparison with constant
Count after comparison
Sub-image processing

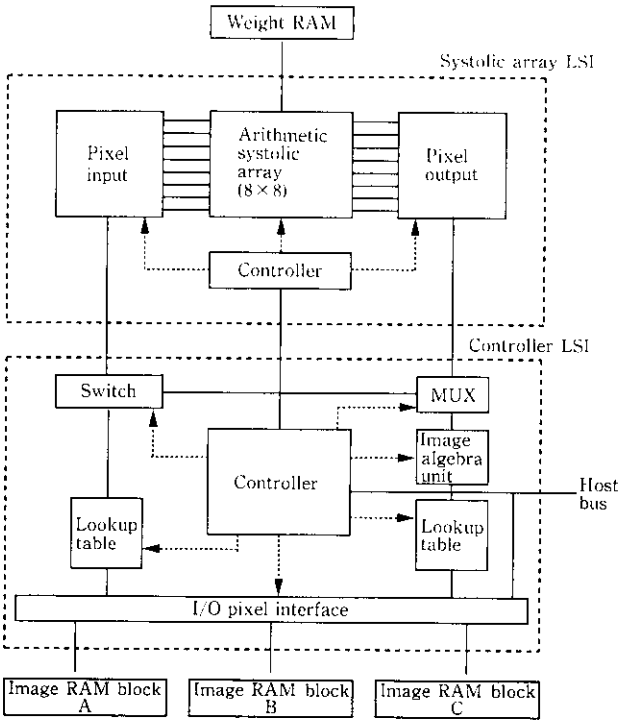

Fig. 3　Block diagram of systolic array LSI and controller LSI

この LSI が実現する基本機能を **Table 1** にまとめる。また，ブロック図を **Fig. 3** に示す。

ここでは二次元コンボリューションを実行するときを例に処理の流れを以下に説明する。コンボリューション処理の入力としての画像データはコントローラ LSI で管理するメモリブロックに格納されているものとする。すなわち，ホストのバスから転送したものか，以前の処理結果としてすでに格納済みのものである。まず，（1）メモリブロックから画像データを読み出し，（2）この値を入力ルックアップテーブルで変換する。そのあと（3）8×8 のシストリックアレイに送り，コンボリューション演算を行う。（4）出力をバレルシフタ（レベル変換回路）でレベル調整して，（5）出力ルックアップテーブルで変換する。（6）その結果をメモリブロックへ書き込んで，処理が完了する。CPU 側で処理結果が必要ならばメモリブロックからホストバスにデータを送る。

2.5 LSI の性能

次に，LSI の性能について述べる。8×8 のコンボリューション

Table 2 Performance comparisons—image processing time for convolution of 512×512 8-bit image (offered by HNC, Inc.)

(ms)

Kernel size	RISC work station (ms)	Company P LSI	Company I LSI	Company L LSI	HNC/KSC** Systolic array
3×3	2 000	6.6	13.1	13.1	6.6
8×8	14 000	26.2	6 chips	13.1	6.6
16×16	56 000	8 chips	18 chips	4 chips	26.2
32×32	224 000	*	60 chips	16 chips	104.9
64×64	896 000	*	220 chips	64 chips	419.6

* Not possible
** Not including DRAM access overhead

のようにすべてのエレメントが動くときには，1秒間に25億6000万回の乗算と25億6000万回の累算，合わせて51億2000万回の算術演算の実行に相当する。さらに，入力および出力にあるルックアップテーブルを使うことで画像の2値化や輝度変換も同時に行える。また，行列ベクトル乗算に用いた場合には，シストリックアレイの8×8のプロセッシングエレメントについて64のうちの16だけが動作する。したがって，1秒間に12億8000万回の算術演算にあたる。行列ベクトル乗算は画像処理では付加的な機能であるが，ニューラルネットワーク応用，特にバックプロパゲーションネットワークや他のパターン認識の用途には重要である。一般に，ニューロンの二つの層の間で行われる基本的な処理は，行列ベクトル乗算とそれに続く非線形関数変換である。出力の部分のルックアップテーブルを使用して，行列ベクトル乗算と同時に非線形関数変換ができるように設計している。

本LSIは非常に強力な画像処理能力を有している。**Table 2** に市場に出ている他のLSIとのパフォーマンス比較を示す。比較表からわかるように他のシストリックアレイアーキテクチャでは，コンボリューションのカーネルサイズに相当する数の実エレメントを提供するだけのLSIを用意することを必要としている。用意されたサイズを超えて処理しようとしても，全く処理できないかホストプロセッサの介在と補助を要するために処理時間は急激に増大する。

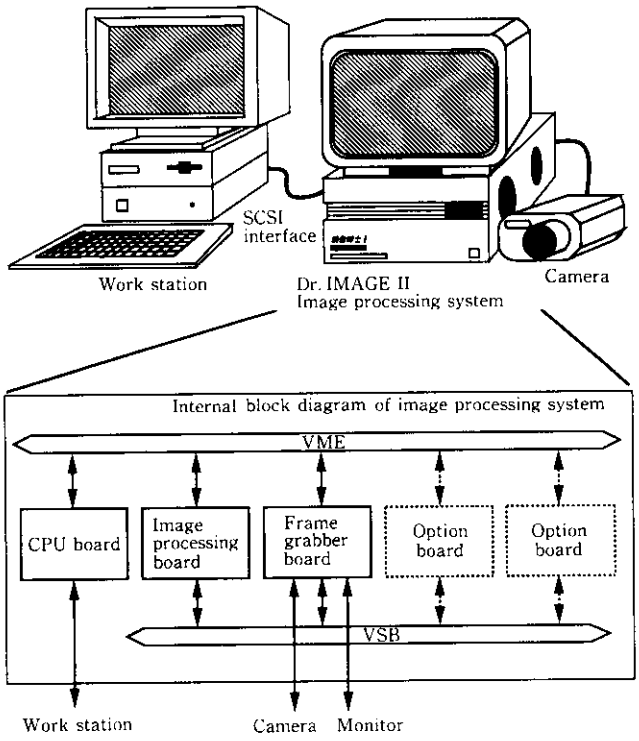

Fig. 4 Standard system configuration

3 次世代画像処理装置「画像博士 II」

3.1 概　要

当社でこれまで蓄積してきた画像処理技術をもとに，主に研究や検査の用途に汎用画像処理装置「画像博士」を開発・販売している。この活動の中から画像処理に対する要求として，従来のカメラ入力に制限されない画像サイズ，特に大きな画像を扱えること，FFTのような複雑な処理が高速に実行できることが挙げられた。また，画像処理装置単体で動作できること，必要に応じてハードウェアを拡張できること，さまざまなワークステーションに容易に接続できることなどシステム的な機能の強化も望まれている。当社としても画像処理・認識の可能性を広げてゆく上でより柔軟な対応ができるシステムの必要性を感じている。これらを受けて，先述のシストリックアレイ構造画像処理LSIを中核として次世代の画像処理装置「画像博士II」を開発中である。その標準システム構成を **Fig. 4** に示す。

「画像博士II」は，従来の「画像博士」と同様に，ワークステーション（work station: WS）と接続して用いる。現在のWSが果たしている重要な役割の一つは，高度なヒューマンマシンインタフェースを提供することである。本システムでは画像処理・認識の研究および開発におけるフロントエンドとしてWSを採用する。この機能分担によって，ユーザは使いなれたWSで作業でき，WSに計算と特別にハードウェアを設置する負荷をかけることなくシステムを構築できる。使用するインタフェースを標準のものとしたことで少ない作業で多機種のWSに接続可能である。さらに，画像処理・認識のソフトウエアは画像博士本体上で実行するために，WSに依存しない資産として広く利用できる形で蓄積される。

こうして開発された画像処理は，制御を画像博士側に移すことによってWSと切り離して単独で動かすことができる。したがって，特定用途向けの実機として利用することも考えられる。

システムの拡張を可能にするために，内部のシステムバスを標準のものとし，空きスロットを設けている。したがって，画像処理と緊密な周辺装置や機能は，このスロットを利用して接続あるいは組み込みができる。

画像入出力には512×480画素の24ビットフルカラーのボードを標準で用意している。標準のシステムバスに接続するモジュールであるため，ボードを変更することにより，より大きな画面や特殊な画像入出力にも対応できる。

処理する画像については，開発したLSIの特徴を生かして8×8から2048×2048画素までの範囲で，X方向は4画素，Y方向は1画素ごとに大きさの指定が可能である（LSIで処理できる最大の画像サイズは4096×4096画素）。また，コンボリューションのカーネルサイズは最大で64×64である。処理速度は標準の入力サイズ512×480画素のモノクロ画像に対する8×8のコンボリューションで6.5 msを実現している。

FFT(fast Fourier transform) などの複雑な処理はRISC(reduced instruction set computer) プロセッサを専用に備えるためにホストコンピュータに負担をかけずに実行する。また，ユーザはこのようなソフトウェアを独自に開発することができる。

WSにおける操作環境としては，メニュー，シェル，ライブラリの三つのインタフェースを備えている。メニューはウィンドウの表示とマウスを使って，シェルはキーボードからのコマンドで，ライブラリはユーザのプログラムから呼び出すことで，画像博士を操作することができる。

3.2 ハードウェア

WSと画像博士本体とはSCSI (small computer system interface) バスで接続する。画像博士本体内部では，システムバス（VMEバス）にCPUボードと画像処理ボードがつながっているものが最小構成である。これ以外に通常，画像入出力ボードを接続する。画像博士は，システムバスとは別に画像転送専用の画像バス（VSBバス）を持つ。このバスは，画像処理ボードと画像入出力ボードの間を結ぶ。

CPUボードは，画像博士本体全体の制御を行う。また，汎用バスであるSCSIインタフェースを備え，WSと接続してコマンドやデータを受け渡す。

画像処理ボードは，画像を中心とするデータ処理を受け持ち，前述した画像処理LSIと40 MHzで動作するRISCプロセッサおよびメモリを搭載している。RISCプロセッサは画像処理LSIを含めたボード上のすべての資源を管理・制御するとともにデータ処理も行う。汎用のプロセッサであるため，ユーザがこのボード上で動作するプログラムを開発することが可能である。

画像入出力ボードは，カメラからの画像の入力およびモニタへの画像の表示を行う。連続的に入力が行えること，描画中に表示が乱れないことを満たすために，入力・出力ともにデータを格納するメモリを二重にしている。

システムの拡張は，新たにボードをシステムバスに接続することによって実現する。もちろん，画像を扱うボードの場合はシステムバス以外に画像バスを備えてもかまわない。また，CPUボードあるいはインタフェースボードを介した周辺装置との接続によっても拡張できる。

各部分の機能分担を**Table 3**にまとめる。

3.3 ソフトウェア

WSと接続する場合の標準のソフトウェア構成を**Fig. 5**に示す。基本的にWS側と画像博士本体側は対称である。二つのシステムの管理方法を同一にすることで構成の単純化を図るとともに，本体単独の動作を可能にしている。WSと本体との通信は管理ソフトウェア間で行う。通信の内容は，自分に登録されていない資源を利用するための他方への処理の依頼としてのコマンドの発信と，その結果の返信である。これはシステム要素の変化に柔軟に対応することを可能にするものである。また，他のソフトウェア要素間の通信にも同じコマンドを用いて今後の拡張を容易にしている。コマンドを発生するライブラリをサポートすることによってプログラムからも直接処理を起動できる。

ユーザからの対話型操作はシェル (Shell) と呼ぶソフトウェアで行う。ウィンドウでマウスを使って操作する場合にはWSのXウィンドウシステムの上で動作するGUI (graphical user interface) である画像博士メニューを使用する。メニューはシェルに対してコマンドを発生する。この構造によってメニューはシェルのサービスを受けることができシステムが簡略化される。ユーザがC言語のプログラムから画像博士を使うには，画像博士インタフェースライブラリ (Interface Library) と呼ぶ専用ライブラリを用いる。

シェルあるいはユーザのプログラムは，インタフェースライブラリを使用することによって，同一の通信フォーマットでリソースマネージャ (Resource Manager) と呼ぶシステム管理ソフトウェアと通信して命令の実行を指示する。リソースマネージャはその管理下で利用可能な資源，例えば画像処理ボードや入出力装置などと命令とを対応させて処理を実現する。ただし，画像処理ボード上で画像処理モジュールソフトウェア (Image Processing Module Software)

Table 3 Hardware component function list

Work station	Human-machine interface Network interface Data storage
CPU board	Image processor control General-purpose I/O interface System resource management
Image processing board	Signal (image)/data processing Image bus control
Frame grabber board	Video signal digitizing Image data temporary storage Image display

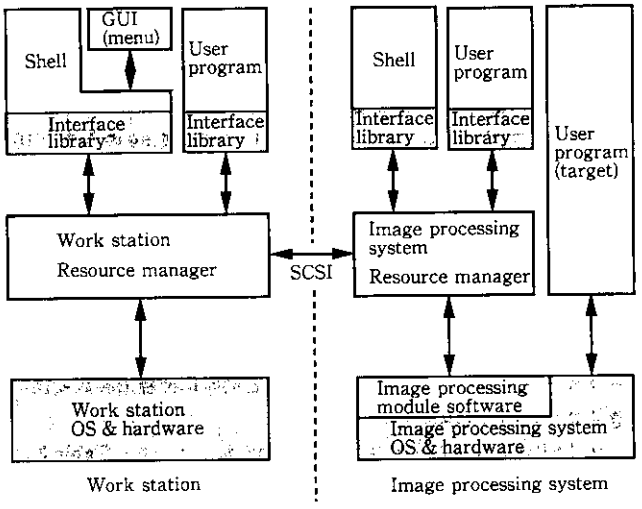

Fig. 5 Software architecture

が動作しているため，実際にはここでもコマンドの受け渡しが行われる。画像処理モジュールソフトウェアが存在する理由は，ユーザが開発したプログラムをボード上で CPU の制御なしに高速で実行させるためである。ユーザがプログラムを開発するための環境として，Cコンパイラ，デバッガ/シミュレータを提供する予定である。

画像博士本体で単独に動作させるには，WS との通信を切り離し，本体上のシェルあるいはユーザプログラムで操作する。単独動作時のユーザプログラムからは，リソースマネージャなしに動作させることもできる。

4 結　言

従来の画像処理装置が，画像サイズ，コンボリューションのカーネルサイズおよび処理時間に与えてきたハードウェア的な制約を解決するために，新たに画像処理 LSI を開発した。さらに，この LSI を用いて次世代の画像処理装置「画像博士II」の開発を進めている。その特徴は次のとおりである。

(1) 画像サイズおよびカーネルサイズが可変で，大画面（LSI は 4 096×4 096 画素まで，装置は 2 048×2 048 画素まで）かつ大規模カーネル（64×64 まで）に対応している。

(2) 512×480 画素モノクロ画像の 8×8 のコンボリューションを 6.5 ms で実行する。処理時間は，画像サイズおよびコンボリューションサイズに比例する。

(3) システム制御用の CPU に加え，画像処理用に RISC プロセッサを内蔵し，システム要素の変化に対応するソフトウェア機構によって，WS と接続しても，単独でも動作が可能である。

今回開発した LSI によって，これまで時間的制約によって実質的に避けられてきた大画面の大型カーネルによるコンボリューション演算が，実用的なものになった。したがって，今後これらの処理を用いた新しいアルゴリズムやアプリケーションプログラムが開発されることが期待される。さらに，汎用の RISC プロセッサと組み合わせたことによって，ホストコンピュータに負担をかけずに複雑な処理が可能になり，ハードウェアの持つ能力を効率よく引き出すことができる。

「画像博士II」は，高速性もさることながら，ソフトウェア・ハードウェアの両面でのモジュール化と明確な機能分担によって拡張性・適応性の高いシステムとなっている。今後，画像処理の基礎アルゴリズム開発や応用研究，検査・計測，画像のニューラルネットワーク処理の領域において広く応用されてゆくものと考える。

最後に，シストリックアレイ構造画像処理 LSI を共同で開発を行った HNC 社と，アーキテクチャ考案者で本報告のために資料の提供および原稿の作成にご協力いただいた HNC 社の Robert W. Means 博士に，深く謝意を表します。

参 考 文 献

1) S. Grossberg and E. Mingolla: "Neural Dynamics of Perceptual Grouping: Textures, Boundaries and Emergent Segmentations", *Perception and Psychophysics*, **38** (1985), 141-171
2) F. H. Eekman, M. E. Colvin, and T. S. Axelrod: "A Retina-Like Model for Motion Detection", International Joint Conference on Neural Networks, Washington, D. C. (USA), (1989), II-247-249
3) H. T. Kung: "Why Systolic Architectures?", *Computer*, **15** (1982) 1, 37-46