
LSI 技術の研究開発動向

Research and Development Trends in LSI Technology

外山 正春(Masaharu Toyama)

要旨：

ISSCC（国際固体回路会議）、IEDM（国際電子デバイス会議）および CICC（カスタム IC 会議）における最近の発表論文から、LSI の研究開発動向を概説した。最先端は 16MDRAM である。設計基準は $0.6\sim 0.5\mu$ 集積度は 3000 万を越え、ULSI の時代に入った。3.3V 電源が採用されている。マイクロプロセッサは 64 ビットが発表され、処理能力も RISC 方式で 20 ～50MIPS となっている。ゲートアレイは使用可能ゲート数が 100K を越え、一方ユーザがカスタム化できる PLD も 9 K に達し、新しいジャンルを開きつつある。CMOS が中心であるが駆動能力を補う意味で、BiCMOS がいろいろな分野で試みられ出した。微細加工技術は 0.5μ でも光ステッパで、g 線がどこまで使えるかが今後の焦点である。

Synopsis：

Recent trends in LSI research and development have reviewed the basis of papers presented at International Solid-State Circuits Conference (ISSCC), International Electron Devices Meeting (IEDM) and Custom Integrated Circuits Conference (CICC). The most-advanced LSI devices reported are 16M DRAMs with 0.6 to 0.5 micron design rules. The number of circuit elements exceeds 30 millions, inaugurating the ULSI era. New JEDEC standard 3.3-V power supply has been employed. Microprocessors are going into 64 bits with 20 to 50 MIPS by RISC architecture. Gate arrays become larger and larger beyond 100 KG in scale. New species, user programmable logic devices, have exceeded 9 K in the usable gate count and a new market segment is now developing. While CMOS prevails, BiCMOS is gradually examined various LSI devices, for supplementing CMOS's low drivability. Photosteppers are still used for the 0.5- micron design rule and the limitation of g-line will become a controversial issue in the coming age.

(c)JFE Steel Corporation, 2003

Research and Development Trends in LSI Technology



外山 正春
Masaharu Toyama
技術研究本部 ハイテク
研究所 副所長兼
LSI 研究センター長
(理事)・理博

1 はじめに

IC の集積度は組み込まれている回路素子の数で表わされる。集積度が 1 000 以上の IC を LSI (Large Scale Integration) という。今でこそ集積度 1 000 といっても、ほんの小さな IC に過ぎないが、この言葉がはやりだした 1960 年代中頃にあっては、それは IC 技術者の大きな夢であった。最初の LSI は 1 K DRAM (Dynamic Random Access Memory) および 4 ビットマイクロプロセッサ MPU (Microprocessing Unit) で、集積度はいずれも数千程度であった。1971 年のことである。

LSI の集積度が大体 10 万を超えると超 LSI と呼ぶ。言葉の始まりは 1976 年に始まった日本の超 LSI プロジェクトである。英語名についてはいくつか候補があったが、その後米国で定着したのが VLSI (Very Large Scale Integration) であった。最初の VLSI は 1980 年に出た 64 K DRAM で、集積度は約 13 万である。

ULSI (Ultra Large Scale Integration) という言葉が公式の場で最初に使われたのは 1983 年の IEDM (International Electron Devices Meeting) である。定義はないが、ひとつの線は集積度 1 000 万であろう。それから 3 年余、1987 年および 1988 年の ISSCC (International Solid-State Circuits Conference) では 16 M DRAM が一斉に発表された。まだ試験的な製品とはいえ、その集積度は 3 000 万を超える。世はすでに ULSI の時代に入っているのである。

LSI 技術の発表機関といえば、ISSCC, IEDM, CICC, VLSI Symposium, 固体素子材料コンファレンス, ICCAD と、国際会議クラスに限っても枚挙にいとまがない。このうち LSI 技術の研究開発動向を総合的に知る上で、最も優れた学会は、回路技術に重点を置いた ISSCC である。一方、デバイス・プロセス技術について最も権威ある学会は IEDM である。競争の激しい LSI においては、デバイス・プロセス技術の先行研究は必ず先端製品の開発と一体とな

要旨

ISSCC (国際固体回路会議), IEDM (国際電子デバイス会議) および CICC (カスタム IC 会議) における最近の発表論文から、LSI の研究開発動向を概説した。最先端は 16 M DRAM である。設計基準は $0.6 \sim 0.5 \mu$, 集積度は 3 000 万を超え、ULSI の時代に入った。3.3 V 電源が採用されている。マイクロプロセッサは 64 ビットが発表され、処理能力も RISC 方式で 20~50 MIPS となっている。ゲートアレイは使用可能ゲート数が 100 K を超え、一方ユーザがカスタム化できる PLD も 9 K に達し、新しいジャンルを開きつつある。CMOS が中心であるが、駆動能力を補う意味で、BiCMOS がいろいろな分野で試みられ出した。微細加工技術は 0.5μ でも光ステッパで、g 線がどこまで使えるかが今後の焦点である。

Synopsis:

Recent trends in LSI research and development have been reviewed on the basis of papers presented at International Solid-State Circuits Conference (ISSCC), International Electron Devices Meeting (IEDM) and Custom Integrated Circuits Conference (CICC). The most-advanced LSI devices reported are 16M DRAMs with 0.6 to 0.5 micron design rules. The number of circuit elements exceeds 30 millions, inaugurating the ULSI era. New JEDEC standard 3.3-V power supply has been employed. Microprocessors are going into 64 bits with 20 to 50 MIPS by RISC architecture. Gate arrays become larger and larger beyond 100 KG in scale. New species, user programmable logic devices, have exceeded 9 K in the usable gate count and a new market segment is now developing. While CMOS prevails, BiCMOS is gradually examined in various LSI devices, for supplementing CMOS's low drivability. Photosteppers are still used for the 0.5-micron design rule and the limitation of the g-line will become a controversial issue in the coming age.

って進められる。それらの集大成がほぼ時を同じくして IEDM および ISSCC で発表されるのである。

ここではまず次章および第 3 章で、ISSCC および IEDM における最近の発表論文を中心にして、回路およびデバイス・プロセス技術の研究開発動向を概観してみよう。さらに第 4 章では、最近とみに成長著しい ASIC (Application Specific IC) について、その専門学会である CICC (Custom Integrated Circuits Conference) の発表論文から、動向を探る。最後に LSI の応用分野とくにコンピュータとの関係を中心に、LSI 技術の発展の歴史と今後の方向について簡単に述べ、当社における LSI 技術研究開発に対する 1 つの道しるべとしたい。

2 回路技術

ISSCC は文字通り固体回路すなわち IC の総合学会で、毎年 2 月

* 平成元年 6 月 20 日原稿受付

Table 1 Number of regular papers in 1989 ISSCC as classified in terms of circuit type and device technology

Circuit type		Number of papers	Device technology					
			NMOS	CMOS	BiCMOS	Bipolar	GaAs	Others
Memories	DRAMs	6		5				
	SRAMs	8		3	4	1		
	Nonvolatile memories	9		9				
	Subtotal	1		17	4	1		
Logic ICs	Gate arrays	7		2	1	2	2	
	High-speed digital ICs	14		2	7	3	1	1*
	MPUs and FPPs	11	1	10				
	Subtotal	32	1	14	8	5	3	1
ASSPs	Video and image DSPs	8		7	1			
	Data communication ICs	6		4		1	1	
	Telecommunication ICs	8		7	1			
	Subtotal	22		18	2	1	1	
Others	Imagers and sensors	5		1	1			3*
	AD and DA converters	6		5		1		
	Amps and analogue ICs	12		3	3	3	1	2*
	Subtotal	23		9	4	4	1	5
Total (%)		99 (100)	1 (1)	58 (59)	18 (18)	11 (11)	5 (5)	6 (6)

*1 Josephson Junction. *2 CCD. *3 DMOS.

にアメリカで開かれる。論文の採択数は毎回100件前後に限定されており、審査が極めて厳しいので有名である。最近ではアメリカおよび日本からの論文がほぼ40%ずつを占めている。参加者は多い時では4000人を超える。Table 1は1989年のISSCCにおける発表論文を、回路の種類とデバイス技術によって分類したものである。まず回路技術について眺めてみよう。

メモリのハイライトは16 MDRAMで、3件の発表があった。1年前にはまだ完全動作品はできていなかったのに対し、今回は完成度の高い製品となっている。セルキャパシタはトレンチ型が多くなったが、スタック型も根強く残っている。アクセスタイムは45~60 ns、電源電圧は次世代 JEDEC (Joint Electron Device Engineering Council) 標準の3.3 Vに移行しつつある。さらに1 MDRAMの組み合わせによる、フルウェーハで200 Mビットというシリアルメモリが発表された。磁気ディスクのように、6インチウェーハの周辺から1 Mビットずつスパイラル状にアクセスするものである。不良ブロックはその位置情報を別チップのEPROM (Erasable Programmable Read Only Memory) にストアしておき、迂回するようになっている。データ転送速度は20 Mbpsである。

SRAM (Static RAM) のアクセスタイムは、研究品段階ながら、CMOSで完全に10 nsを切った。メモリ容量は、大多数が1 Mビットである。他に、アクセスタイム25 nsながら、4 Mビットの発表が1件あった。SRAMの今1つの新しい方式はASメモリ (Application Specific Memory) である。従来からゲートアレイにSRAMを搭載したものはあったが、このASメモリは、SRAMを主体としたもので、外部とのインタフェース部分に1 Kゲートアレイを付けてある。BiCMOS品とバイポーラ品があり、アクセスタイムは5 nsおよび2 nsで、キャッシュメモリ用である。

不揮発性メモリでは電氣的に消去可能なEPROMであるEEPROM (Electrically Erasable PROM) のオンパレードで、1 M

から4 Mビット品が発表された。一括消去方式のフラッシュ型が中心で、紫外線消去型の対抗馬となるものである。このうち4 Mビット品はNAND型のROM構造を用いている。アクセス・スピードは遅いが、高密度化が容易で、磁気ディスク等のマスメモリの置換えをねらっている。

他にFRAM (Ferroelectric RAM) といって、DRAMのキャパシタに強誘電体を用いた不揮発性RAMが発表された。EEPROMの泣所である書き込み消去回数の制限 ($10^4 \sim 10^5$) がなく、メモリ保持も10年以上という。16 Kビットでアクセスタイムは200 nsである。

マイクロプロセッサ MPU では今回初めて64ビット品が3件発表された。外部は32ビットで内部バスを64ビットにしたものもある。4~6レベルのバイブライン、メモリ管理等の他、多くが通信インタフェースやbuilt-in test機能を備えるようになった。全体的にRISC (Reduced Instruction Set Computer) 方式が行きわたって来ている。使用頻度の低い複雑な命令を削除した、単純命令の組み合わせによる方式で、ハードウェアの実現を容易にしている。ソフトウェアの負担増が問題視されているが、レジスタを豊富に活用できるので、処理スピードは早く、20~50 MIPSを達成している。この1年ではほぼ2倍のスピードアップである。高速化と高集積化のため、CMOSでも動作時の消費電力は6 Wとか9 Wとなっている。

コプロセッサとしては、浮動小数点プロセッサFPP (Floating Point Processor) の開発が活発で、6件発表された。FPPは科学計算用としてニーズが高く、計算機システムの中で必要不可欠の機能となって来ている。処理スピードは32ビットで40 MFLOPS (Million Floating Point Operations Per Second) とか、64ビットで21 MFLOPSとなっている。特に高速化を目的としたものでは、1個のMPUに組み込んだものも発表されている。指数と仮数を分離して計算しなければならないため、さすがに回路規模は大きくなり、

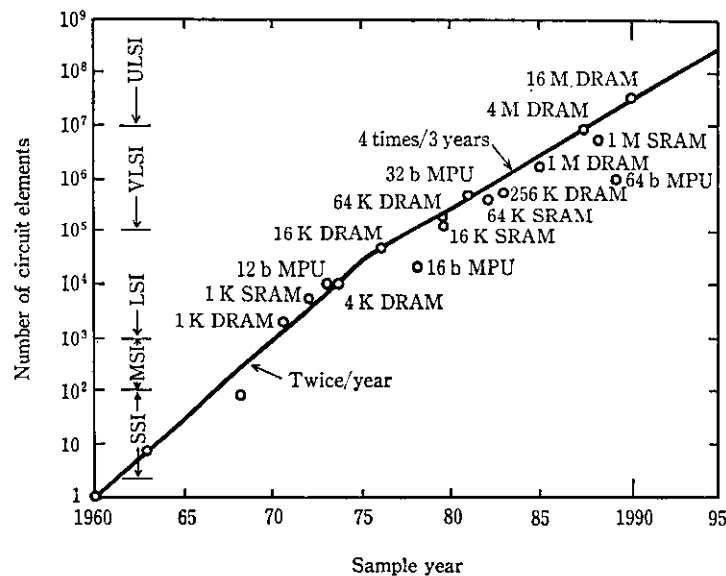


Fig. 1 Trends of number of circuit elements in ICs

FPP が全チップ面積の半分以上を占めている。

一方、このように MPU のスピードが早くなると、これらでマルチプロセッサ・システムを組んだ時に、信号のタイミングの調整が困難になって来ている。解決策として、昨年あたりから、PLL (Phase-Locked Loop) 回路を組み込んだコプロセッサが現れて来た。オーディオ機器では以前からよく用いられている回路である。

ASSP (Application Specific Standard Product) の話題はデジタル信号処理装置 DSP (Digital Signal Processor) と通信用 IC である。DSP は高速で信号の積和演算を行う一種の MPU である。1979 年に最初の製品が発表されて以来、開発の中心は当初は MODEM (Modulator and Demodulator) などの音声帯域用であったが、最近では高速のビデオやグラフィクス用が主になっている。今回もクロック周波数 20 MHz から 200 MHz 品が発表された。処理能力 200 MIPS という高速フーリエ変換プロセッサも発表されている。一方、通信用 IC はアナログ・デジタル混在回路の典型的なものであるが、ISDN (Integrated Services Digital Network) 用として、2 B1Q という新コード方式によるトランシーバ LSI セットが 4 件も発表されたのが注目される。

アナログ IC では、アナログ機器のデジタル化を反映して、AD 変換器が 5 件も発表された。そのうち 2 件は 8 ビットながら 40 MHz という高速品である。方式上の最近の大きな進歩は多段変換アルゴリズムであろう。多重サンプル・ホールド増幅器を用いて、アナログ信号パスをパイプライン化することにより、完全並列処理並の変換スピードを実現している。段数も 2 段から 3 段、さらに 4 段というものが発表された。

Fig. 1 は IC 出現以来の集積度の変化を示す。集積度は当初年率 2 倍で伸びており、およそ 10 年で LSI の時代を迎えた。1975 年以降は若干鈍化しているが、それでも 2 年で 2 倍以上、3 年で 4 倍ぐらゐの伸びを示している。ざっと 10 年で 100 倍である。言ってみれば、1975 年までは LSI 化するべき回路が既に世の中に存在していたのである。それが 1975 年頃を境として電子機器の開発はすなわち LSI の開発という風に変わって来た。

実際 1975 年まではメモリも論理 IC も同じような集積度の伸びを示している。それが 1975 年以降になると、回路規模の拡大が考えやすいメモリがもっぱら集積度の先導役を務めるようになった。論理 IC の先端製品である MPU も、一部ではがんばっているが、

全体的にはメモリの 1 けた下である。しかも MPU の回路の中には演算部や制御部の他にメモリがかなりの部分を占めていることを思えば、実質的な差はさらに大きなものといえよう。

通常、回路設計者が頭の中で描きうる回路の規模は 10 K ゲートが限界といわれている。それ以上は CAD ツールに頼らざるをえないわけであるが、今度はコンピュータが集積度の進歩に追い付かなくなっている。ちなみにコンピュータの処理能力は 10 年で 10 倍にしかっていないのである。回路、デバイス・シミュレーションにはベクトルプロセッサ、回路パターン設計にはアレイプロセッサの本格的な実用化が期待される。

3 デバイス・プロセス技術

1989 ISSCC の発表論文 (Table 1) を見ると、デバイスのタイプは CMOS が圧倒的に多くて 58 件 (59%)、以下 BiCMOS 18 件 (18%)、バイポーラ 11 件 (11%)、GaAs ベース 5 件 (5%) と続く。この比率は BiCMOS を除いて 1988 年とほとんど変わらない。かつて一世を風びした NMOS は昨年はまだ 4 件あったが、今年はいよいよ 1 件になってしまった。32 ビット MPU で、高速化をねらったものであるが、消費電力はなんと 26 W である。

BiCMOS は 1988 年が 5 件で、そのうち 4 件が SRAM であった。今年は一気に 3 倍以上に増えた。CMOS による高集積化とバイポーラによる高駆動能力化や、アナログ・デジタル混在回路への応用をねらって、いろいろな分野に浸透しつつある。BiCMOS で高速化を追及した論文も多数発表された。しかし CMOS 自身も微細化によって急速に高速化されて来ているので、高速化だけで CMOS の分野に進出して行くのは、商品寿命の面から見て、かなり苦しいのではないと思われる。チップ面積増およびプロセスの複雑さとのトレードオフであるが、何となく、15 年前の DRAM と CCD (Charge Coupled Device) メモリの競合が思い出される。BiCMOS は、CMOS よりも、むしろバイポーラ IC の中で集積度の高い分野を置き換えて行くものと思えるべきかもしれない。

バイポーラ IC のカットオフ周波数は完全にギガヘルツ帯に入っている。15.5 GHz プロセスを用いた 54 KG ECL (Emitter Coupled Logic) アレイをはじめとして、14 GHz が 1 件、8 GHz が 3 件等となっている。

CIRCUIT TYPE		MEAN* (μ)	DESIGN RULES									
			DISTRIBUTION #									
			1.0 μ		2.0 μ				3.0 μ			
MEMORIES	DRAMs	0.68	111									
	SRAMs	0.73	1	2	3		1					
	Nonvolatile Memories	1.15		1	1	3		1	2		1	
	SUBTOTAL	0.88										
LOGIC ICs	Gate Arrays	0.80			3							
	High-Speed Digital ICs	0.93	1		2	1	2		1			
	MPUs and FPPs	1.29				2	3	1	5			
	SUBTOTAL	1.07										
ASSPs	Video and Image DSPs	1.27			1	1	2	2	1		1	
	Data Communication ICs	1.57				1			2	1		
	Telecommunication ICs	1.87					11	1		2		2
	SUBTOTAL	1.53										
OTHERS	Imagers and Sensors	1.71					2					1
	AD and DA Converters	1.63			1	1	1			2		
	Amps and Analogue ICs	2.18				1			1	1	2	
	SUBTOTAL	1.83										
TOTAL		1.22	313	1	A	1	A	1	C	12	4	A
									2	5	3	4
												1

* Geometrical mean of design rules among MOS papers.

Number of MOS papers are plotted against design rule, where A=10, B=11, C=12, and so on.

Fig. 2 MOS design rule distribution in 1989 ISSCC regular papers

GaAs ベースは MESFET 3 件, ヘテロ FET 1 件, ヘテロバイポーラ 1 件である。いずれも高速を特徴とする。特に MESFET (Metal Shottky FET) を用いたゲートアレイでは, 0.4 μ , 34.5 GHz プロセスにより, ゲート遅延 30 ps と, CMOS に比べて 1 けた早い ECL 並のスピードが得られている。しかし材料技術, プロセス技術的に問題点が多く, 本格的な実用化はまだ先であろう。

LSI の基本となるデバイス技術はやはり CMOS を中心とした MOS 技術である。MOS LSI の微細化の指標となる設計基準を一口で表す時は, 通常, 組み込まれている最小 MOS トランジスタのゲート長 (ゲート・ポリシリコンの長さ) で代表させている。Fig. 2 は 1989 ISSCC の論文における MOS LSI の設計基準の分布を示したものである。メモリ, 中でも DRAM が圧倒的に進んでおり, テクノロジードライバであることを如実に示している。1 K DRAM の 10 μ から始まって, 1 M では 1.2 μ , 4 M では 0.9~0.8 μ , 16 M では 0.6~0.5 μ と, 常に時代の最先端を行っている。この DRAM にびったりついて追いかけているのが SRAM で, 1 M では 0.8~0.6 μ , 4 M では, 0.5 μ となっている。

論理 IC の中でも, パターンが簡単で設計の容易なゲートアレイでは, 0.8 μ と, すでに 4 M DRAM や 1 M SRAM 並の設計基準になっている。1988 ISSCC の基調講演では, 「ASIC はテクノロジードライバになりうるか」という問題提起があった。さらに 1989 ISSCC ではパネル討論会のテーマに取り上げられた。確かに回路技術や微細加工技術の面では, テクノロジードライバは何といてもメモリであるが, 多層配線技術はゲートアレイから生まれたものである。

MPU や DSP では設計基準はまだ 1.0 μ 以上である。通信用 IC やアナログ IC になると, さらに緩やかになっている。これらの LSI では, 集積度よりも応用面を考えた機能の追究の方が重要課題で, 研究のウェイトはアルゴリズムやシステム設計に置かれている。

Table 2 CMOS well structure in 1989 ISSCC regular papers

Substrate type	Well structure				Total
	P-well	N-well	Twin well	Triple well	
N-type	8	—	—	1	9
P-type	—	12	1	—	13
P-epi on P-sub.	—	2	1	—	3
Not described	—	—	2	—	2
Total	8	14	4	1	27

る。特にアナログ IC では回路パラメータの微妙な調整がポイントである。

1975 年以降でみると, DRAM の設計基準はほぼ 5 年で半分になっている。一方, チップの一辺の長さは約 10 年で 2 倍になっている。この両者で集積度はざっと 3 年で 4 倍となるのである。

Table 2 は 1989 ISSCC の論文の中で CMOS のウェル構造を明記してあるものを分類したものである。P 基板上に N ウェルという構造が圧倒的に多い。ラッチアップ, ホットエレクトロンに強いというのが大きな理由である。従来の N 基板上に P ウェルという構造はどちらかという古い設計基準を用いたものに限られて来た。Twin well や Triple well も発表されているが, 少数派である。ラッチアップ対策としてはエピウェルが期待されてから久しいが, まだ全体の 1 割強に過ぎない。改良 LOCOS (Local Oxidation of Silicon) やトレンチ等の素子分離技術の進歩によるものである。なおエピウェルはすべて P エピ/P 基板で, 上記のウェル構造の傾向と一致している。なお BiCMOS は P エピ/P 基板が基本である。

これらデバイス・プロセス技術の詳細が発表される IEDM は, トランジスタの誕生後間もなく発足した古い学会である。毎年 12 月

にアメリカで開かれる。初めの頃は電子管が主体であったが、今では半導体が90%以上を占めるようになった。その2/3がLSIを中心としたシリコンデバイスである。

微細加工技術としては、ここ10年来盛んに前宣伝されながら、マスク描画と研究試作用を除いて、まだEB (Electron Beam) の出番はない。X線やエキシマ・レーザもまだである。0.5 μ となっても依然として水銀光を使ったステッパである。フォトリソも新材料がどんどん開発され、多層レジストやCEL (Contrast Enhanced Lithography) といったプロセス技術の進歩と相まって、着実に微細化を推進して来ている。もっぱらの話題は8線がどこまで使えるかということである。

配線材料はIC始まって以来Alがベースである。低融点、コロージョン、エレクトロマイグレーション、ストレスマイグレーション、ヒロック、Si基板浸蝕による接合突抜け、Si析出による非オーム接触と、問題は山積しているが、依然として大多数のMOS LSIにはAl-1%Siが使われている。本質的に何も解決していないのという批判もあるが、微細化の進み方が激しいため、改良が進んでも常に同じ問題が新しい問題として浮き上がって来るといった方が正しい。そして常に致命的ではない程度には解決されているのである。

代替材料については、W, Mo, Ti, Pt さらにそれらのシリサイドと、いろいろと研究され、多数の論文が発表されている。しかし、時に利用されることがあっても、ほんの一部にとどまり、その後多くはもとのAl-1%Siに戻っている。総合的にはまだAlに勝るものは見出されていない。また高度なLSIになればなるほど、未知の不安要素がある新材料に対しては慎重になり、十分なデータの蓄積を拠り所とするからである。微細化によってAl-1%Siだけでは非常に厳しくなっているコンタクト部へのバリアメタルなど、部分的な使用から定着して行くのではないかと推定される。

MOSトランジスタの構造としては、LDD (Lightly Doped Drain) や埋込みチャネル構造が1 μ 製品あたりから採用され始めた。Photo 1はLDD MOSトランジスタの一例である。ドレインのチャネル端の不純物濃度を低くして、横方向拡散による短チャネル効果を防止するとともに、電界を緩和してホットキャリアの発生を抑制している。また埋込みチャネルはキャリアの流れをSi表面より深い位置にして、ホットキャリアが発生しても、ゲート酸化膜に注入されにくい構造にしたものである。これらの構造がどの位の微細

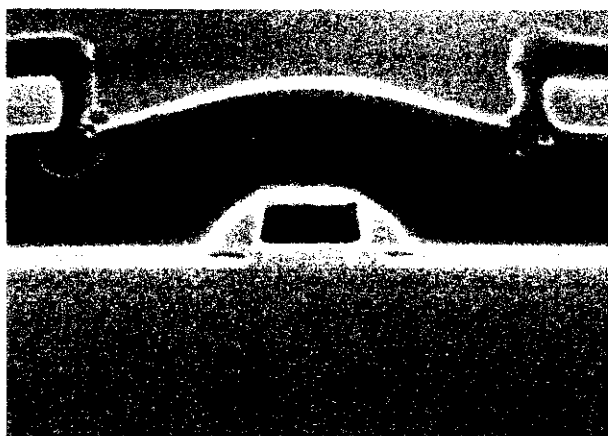


Photo 1 Cross-sectional photomicrograph of a current LDD MOS transistor with gate polysilicon (the black part at the center) length of 0.8 μ and gate oxide thickness of 10 nm

MOSにまで適用できるかは興味ある課題である。特にLDD構造は現在のプロセス技術ではソース側も低濃度になってしまう。その結果ソースとゲート部の間がオフセットになり、直列抵抗として入って来るため、相互コンダクタンスが低下してしまう。斜めイオン注入などの方法が試みられているが、パターン設計が制約されるのが難点である。

一方、ゲート酸化膜は、10 nm以下という薄膜化により、標準電源電圧5 Vに対して静電耐圧がそろそろ限界にきている。すでに内部電圧を下げる試みがなされているが、0.5 μ 基準を用いた16 M DRAMや4 M SRAMでは、前記のように、外部電圧自体を3.3 Vに下げている。

さらにゲート長がdeep submicron領域になると、トランジスタ特性自身ががらりと変わる。デバイス・シミュレーションでは流体モデルが成り立たなくなり、電子や正孔の挙動を1個1個追跡する粒子モデルが不可欠となる。熱雑音も問題となって来る。回路設計面でも大きな変革が必要となって来よう。研究開発の宝庫である。

4 ASIC 技術

今ではカスタムICの代名詞になっているASIC (Application Specific IC) という言葉が最初に使われたのは1982年のCICCと言われている。CICCは毎年5月にアメリカで開かれるASIC専門の学会である。発表論文の範囲は、CADソフトウェアおよびASICアーキテクチャという基本技術と、ASIC応用回路が中心で、さらにデバイス・プロセス技術、テスト、パッケージング技術に及んでいる。

昨年1988年はCICC 10周年ということで、「幼年期から青年期へ……ASIC産業の成人式」と題する記念講演があった。その中で、ASIC技術に関する10年前の予測と、現状、さらに今後10年間の予測の話があった。10年前の予測では、設計期間の短縮、モジュール設計手法、パッケージの高度化、EB直接描画などが上がっていた。昨今のゲートアレイを中心としたセミカスタムICの発展、およびそのためのCADの進歩と、ピングリッドアレイのような何百ピンというパッケージを見ると、EB直接描画を除いて、この予測はほぼ当たっていたと言えよう。

ゲートアレイの思想は古くからあったが、当初は特殊用途の高速ECL版に限られていた。本格的に用いられるようになったのは、ちょうどASICという言葉が誕生した1982年頃からである。標準論理ICの回路規模が数百ゲートくらいまでののに対し、この頃になると、チップ使用効率の悪いゲートアレイも、CMOSで1 Kゲートを超すものができるようになった。配列は配線チャネル分離型である。以後急速に進歩し、1986 CICCではゲート敷詰型のSOG (Sea of Gates) が発表された。搭載ゲート数129 Kゲート、使用可能ゲート数も50 Kゲートといわれるようになった。さらに1988 CICCでは、3層配線技術の導入とCADの進歩により、使用可能ゲート数自体が100 Kゲートを超えた。1989 CICCでは0.8 μ CMOSで搭載ゲート数177 Kゲート、ゲート遅延150 psという高速品の発表があった。BiCMOS技術の導入も始まっており、100 kGクラスのものが開発されている。

高速化を目標としたECLゲートアレイも大規模化が進み、1988 CICCでは10 Kゲートを超えるものが2件発表された。さすがに消費電力は10 W以上になるので、パッケージの冷却に工夫を凝らしている。スピードの方は2.1 Kゲートでゲート遅延43 psという発表があった。また1989 ISSCCでは50 Kゲート、40 Wという

ECL ゲートアレイ、さらに単一ゲートながら 2.1 ps/23 mW という発表があった。

セルベース設計ともいわれるスタンダードセルは、従来、数万個以上の注文数に見合う ASIC と見られていたが、集積度とスピード両面からゲートアレイに追い上げられ、特にポリセル方式は存在意義が問われるようになって来ている。性能面で差がなくなったため、開発期間が長く、開発費が高いというデメリットだけがクローズアップされて来たわけである。しかし CAD の高度化により、従来のハンドクラフト方式はほとんどスタンダードセルで置き換えられた。特に、任意の大きさの回路ブロックを自由に扱えるビルディングブロック方式は、既設計の LSI パターンをそのままセルとして用いられるので、多量の設計資産を持っている既存の LSI メーカーにとっては効果的な方法といえよう。それと今 1 つセルベース設計ならではの応用分野は、設計ごとに回路パラメータの微妙な調整を必要とするアナログ回路であろう。

ASIC の今 1 つのジャンルは PLD である。特にユーザが自分でパーソナライズできるという意味で UPLD (User Programmable Logic Device) と呼ばれる。ゲートアレイよりもさらにチップ使用効率が高いため、これまでは数百ゲート規模までに限られていた。それが 1986 年に CMOS 化により 1 K ゲートを越えた。

ゲートアレイの場合もそうであったが、ASIC の応用分野が拡大するためには、1 K ゲートが 1 つの閥門のように思われる。回路設計者が頭の中で考えられる回路規模が 10 K ゲートが限界ということから、応用回路の単位が 1 K~10 K ゲートに集中しているのであろう。果たせるかな、1988 CICC では初めて PLD に独立のセッションが与えられ、記念講演では ASIC の新種として紹介された。1989 ISSCC では「プログラマブル・デバイスの新しい方向」と題してパネル討論会が開催された。さらに 1989 CICC では、このような新しいタイプの PLD を何と呼ぶべきか、ということが話題となった。ここでは 1 K ゲート以上の大規模 PLD を HPLD (High performance PLD) と呼ぶことにする。

HPLD の方式は 3 つに分類される。第 1 は、従来のヒューズ方式のバイポーラ PLA (Programmable Logic Array) を EPROM で作り、それにマクロセルを配したものである。第 2 は、プログラマブルな論理ブロックをアレイ状に並べ、その間をプログラマブルなスイッチング・ステーションを通して配線したものである。プログラミングには SRAM セルを用いている。この HPLD が今のところ一番大きく、9 K ゲートを実現している。20 年前に盛んに研究されたオートマトンの流れを汲むもので、最近の神経回路にも一脈通ずるものがある。第 3 は、配線チャネル分離型のゲートアレイと同様の方式で、配線の交点にアンチヒューズ (1988 IEDM) と称する新しいプログラム素子を配したものである。書き換え不能なため信頼性保証に難があるが、柔軟性に富んだアーキテクチャである。

世相を反映して、電子機器の商品寿命は最近ますます短くなり、生涯販売台数はますます少なくなって来ている。その点、HPLD は機器の設計者が手で短時間にカスタム化でき、開発費もかからないので、理想的な ASIC である。当初はゲートアレイ化設計のためのプロトタイプとして考えられていたが、開発費まで含めたコスト面を考えると、おおよそ 2000 個以下の注文の場合は HPLD、それ以上はゲートアレイという具合に、今後 ASIC 市場を 2 分して行くのではないかと思われる。

さて今後 10 年間の ASIC 技術予測であるが、先の記念講演では、(1) 論理合成と高位コンパイル、(2) 自動テスト生成、(3) 高速プロセス技術 (BiCMOS, GaAs)、(4) アナログ/デジタル混在 IC、(5) 安価小型多ピンパッケージ (PLCC, TAB) が挙げら

れていた。これらはいずれも最近の CICC の大きな流れとなっているものである。

5 VLSI から ULSI へ

コンピュータの世代はこれまで使われている部品によって特徴づけられて来た。第 1 世代が真空管、第 2 世代がトランジスタ、第 3 世代が IC (SSI, MSI)、第 3.5 世代が LSI、そして第 4 世代が VLSI である。第 5 世代は非ノイマン型で、方式で区別しているが、マルチプロセッサ・システムを基本とするその複雑高度なハードウェアを特徴づけるのは ULSI である。換言すれば、デジタル回路を得意とする LSI は、コンピュータと表裏一体となって発展して来たのである。

まず LSI の集積度が高くなると、それだけ処理能力の高いコンピュータを、よりコンパクトな形で作ることができる。コンピュータの処理能力が上ると、より大規模な回路の CAD が可能となり、またデバイス・プロセス技術では、より詳細なシミュレーションが可能となる。さらにマイクロプロセッサ MPU の発展は、プロセス機器のより精密なコントロールを可能とし、シリコン上により微細なパターンの形成を可能とする。その結果、LSI はさらに一段と大規模化、高精度化される。

MPU はさらにアナログ機器のデジタル化を促した。デジタル信号はアナログ信号に比べて安定性に優れ、雑音に強く、信頼性が高い。しかし簡単なアナログ信号でも、それをデジタル信号に変換すると、膨大な信号量になってしまう。デジタル化のためには、多量の信号を高速で処理する技術が必要であった。いわばコンピュータに匹敵する処理装置が小型でかつ安価で供給されることが必要であったわけで、MPU および DSP の出現は、まさにこのニーズに応えるものであった。

アナログ機器のデジタル化は LSI の応用分野をさらに大きく広げるものとなった。特に画像処理とか音声処理といった高度の情報処理は、信号のデジタル化があって初めて可能となったものである。LSI は単に従来の電子機器の分野に進出して行っているばかりでなく、電子機器の新しい分野を創出しているのである。

コンピュータと並んで、LSI の初期の大きな市場は電卓、時計であった。いずれもカスタム LSI で、今様にいえば ASIC である。その ASIC が、ゲートアレイからさらに HPLD と、装いも新たに市場に進出して来ている。また標準 LSI の代表として、今では諸々の電子機器に用いられている DRAM も、生まれは大型コンピュータのメインメモリ専用の ASSP であった。それがメガビット時代を迎えて、テレビの一面をワンチップにストアするビデオ RAM のように、再び ASSP 分野に新しい展開を見せ始めている。ユーザとメーカーの結び付きは今後ますます緊密度を増して行くであろう。

Table 3 は DRAM における技術革新を、メーカー自身のものとユーザのためのものとに分けてまとめたものである。DRAM の市場は間もなく年 1 兆円になろうとしている。DRAM がこれだけ大きな市場を占めるようになった背景には、世代を追うごとに、常にユーザのための使いよさをねらった、回路、デバイス技術上のいろいろな工夫があったわけである。

当社では、1985 年から 2000 年に向けての 15 箇年計画の中で、LSI 事業を新規事業第 1 の柱として位置づけている。既に 1985 年 9 月には米国 LSI ロジック社との合併で日本セミコンダクタ社を設立し、ゲートアレイ事業の一端に参入した。一方、1986 年 10 月には技術研究本部内に LSI 研究センターを設立し、ASIC の先端研究を中心に、回路、デバイス、プロセス技術からシリコン単結晶ウェ

Table 3 Circuit and device technology innovations in DRAM

Memory capacity	Sample year	Design rule	Innovations for makers themselves	Innovations for customers
1 Kb	1971	10 μ	• 3-transistor cell • Si-gate PMOS	• 1 Kb in a small dual in-line package for main memory
4 Kb	1974	7 μ	• 1 Tr-1C cell • NMOS	• On-chip clock generation • High speed (~ 5 times)
16 Kb	1976	6 μ	• Double-layer poly-Si	• Pin number reduction from 22 to 16 by address multiplexing
64 Kb	1980	3 μ		• 5 V single power supply (Internal voltage conversion)
256 Kb	1983	2 μ	• Redundancy • Double-layer metal	• Versatile operation modes • Versatile word length
1 Mb	1985	1.2 μ	• CMOS peripheral • Stacked capacitor cell	• Pseudo SRAM (Auto-refresh)
4 Mb	1987	0.9 $\sim$ 0.8 μ	• Trench capacitor cell • Trench isolation	• Video RAM application (Multiport and serial access)
16 Mb	1990?	0.6 $\sim$ 0.5 μ	• Low voltage operation	• Versatile AS memories • Battery operation

一ハ技術に至るまで、総合的な研究開発を推進している。この実績を基盤として、川崎製鉄独自の LSI 事業を展開するべく、現在、自社工場を建設中である。LSI の研究開発を担当する者として、「お

客様とともに将来を切り拓く」ことを標榜して、この小論のしめくりとしたい。