
大粒径ポリシリコンゲートを用いた p(+) pMOS デバイスにおけるゲート酸化膜の信頼性向上

Improve Gate Oxide Integrity in p(+) pMOS Devices by Using Large Grain Polysilicon Gate

小田 宗隆(Munetaka Koda) 川口 淳一(Junichi Kawaguchi) 志田 吉克(Yoshikatsu Shida)

要旨：

P(+)ポリシリコンゲート pMOS デバイスのゲート酸化膜絶縁耐圧特性に及ぼすポリシリコン結晶粒径の影響を調べた。従来の直径 $0.05\ \mu\text{m}$ の場合、ゲート酸化膜の初期絶縁耐圧歩留りと定電流 TDDB(time dependent dielectric breakdown)特性が低下した。しかし、直径 $1.0\ \mu\text{m}$ の結晶粒径を持つ大粒径ポリシリコンを用いることにより、ゲート酸化膜絶縁耐圧特性が改善されることが分かった。さらに、大粒径ポリシリコンは BF_2 イオン注入によりゲート電極に導入された F 原子のゲート酸化膜への拡散と F 原子によるゲート酸化膜の容量低下を抑正した。

Synopsis：

The effect of a polysilicon grain size on gate oxide integrity in BF_2^+ implanted polysilicon gate pMOS devices was investigated by measuring the electrical characteristics of a MOS capacitor. Gate oxide integrity deteriorated when effective in solving this problem of gate oxide quality. Additionally, the use of large grain polysilicon greatly reduce boron diffusion through the gate oxide into the channel region and decreases in gate oxide capacitance.

(c)JFE Steel Corporation, 2003

本文は次のページから閲覧できます。

大粒径ポリシリコンゲートを用いた p^+ pMOS デバイスにおけるゲート酸化膜の信頼性向上*

川崎製鉄技報
26 (1994) 2, 81-85

Improving Gate Oxide Integrity in p^+ pMOS Devices by Using Large Grain Polysilicon Gate



小田 宗隆
Munetaka Koda
ハイテック研究所 LSI
研究センター 主任研
究員(課長補)



川口 淳一
Junichi Kawaguchi
ハイテック研究所 LSI
研究センター



志田 吉克
Yoshikatsu Shida
ハイテック研究所 LSI
研究センター

要旨

p^+ ポリシリコンゲート pMOS デバイスのゲート酸化膜絶縁耐圧特性に及ぼすポリシリコン結晶粒径の影響を調べた。従来の直径 $0.05 \mu\text{m}$ の場合、ゲート酸化膜の初期絶縁耐圧歩留りと定電流 TDDB (time dependent dielectric breakdown) 特性が低下した。しかし、直径 $1.0 \mu\text{m}$ の結晶粒径を持つ大粒径ポリシリコンを用いることにより、ゲート酸化膜絶縁耐圧特性が改善されることが分かった。さらに、大粒径ポリシリコンは BF_2 イオン注入によりゲート電極に導入された F 原子のゲート酸化膜への拡散を阻止することにより B 原子のゲート電極から基板への拡散と F 原子によるゲート酸化膜の容量低下を抑制した。

Synopsis:

The effect of a polysilicon grain size on gate oxide integrity in BF_2^+ implanted polysilicon gate pMOS devices was investigated by measuring the electrical characteristics of a MOS capacitor. Gate oxide integrity deteriorated when using conventional polysilicon with a small ($0.05 \mu\text{m}$) grain size. The use of large ($1.0 \mu\text{m}$) grain polysilicon was effective in solving this problem of gate oxide quality. Additionally, the use of large grain polysilicon greatly reduce boron diffusion through the gate oxide into the channel region and decreases in gate oxide capacitance.

1 はじめに

n^+ ゲート nMOSFET および p^+ ゲート pMOSFET から構成されるデュアルゲート CMOSFET は、従来の n^+ ゲート CMOSFET に比べ優れた特性を示す。ディープサブミクロン領域において pMOSFET のショートチャネル効果を抑制でき、低しきい値電圧でのオフ電流も低減できる^{1,2)}。さらに、埋め込みチャネル型の pMOSFET に比べてプロセスが簡素になる。デュアルゲート (n^+ および p^+) ポリシリコンのドーピングを n^+ および p^+ ソース/ドレインのイオン注入と同時に進めることができる³⁾。ゲートドーピング用のフォトリソ工程とイオン注入工程を必要としない。また、ポリシリコンをノンドーブ状態で加工することで n^+ および p^+ ゲート電極間の加工寸法差をなくすることができる。

しかし、 p^+ pMOSFET で種々の問題が発生することがわかっている。pMOSFET のソース/ドレインイオン注入のイオン種は、浅い接合を形成するため BF_2^+ イオンを用いる。この F 原子が、ゲート酸化膜中に拡散し p^+ ポリシリコンから B 原子がチャネルへ拡散するのを助長する⁴⁾。さらに、F 原子は酸化膜の容量を減少させる^{5,6)}。また、著者らがすでに報告したように p^+ ポリシリコンゲ-

ートはゲート酸化膜の初期絶縁耐圧特性および定電流 TDDB (time dependent dielectric breakdown) 特性を劣化させる⁷⁾。

本報告は、以上に示した p^+ pMOS で発生する種々の問題がゲート電極として用いたポリシリコンの結晶粒径と結晶粒の形状に依存した現象であることを明らかにし、さらに非晶質状態で形成し結晶化した大粒径ポリシリコンがこれらの問題を解決できることを示すものである。

2 実験方法

MOS キャパシタを用いてポリシリコン結晶粒径がゲート酸化膜の初期絶縁耐圧、定電流 TDDB に及ぼす影響と酸化膜容量および反転容量に及ぼす影響とを調査した。MOS キャパシタの形成方法を以下に示す。n 型シリコン基板上で LOCOS 膜を用いた素子分離を行い、次に活性層領域に膜厚 8 nm のゲート酸化膜を形成した。ゲート酸化膜としてウェット酸化膜と窒化酸化膜を用いた。窒化酸化膜はドライ酸化膜を急速加熱装置を用い亜酸化窒素中で窒化したものである。ゲート酸化後、直ちにポリシリコン膜を形成した。ポリシリコン膜の形成条件を Table 1 に示す。従来のポリシリコン膜は SiH_4 を用いて多結晶状態で形成したものであり、一方大粒径ポリシリコン膜は Si_2H_6 を用いて非晶質状態で形成しこれを結晶化したものである。Photo 1 に、ポリシリコン膜の透過型電子顕微鏡

* 平成 6 年 2 月 2 日原稿受付

Photo 1 TEM plan-views of the polysilicon film

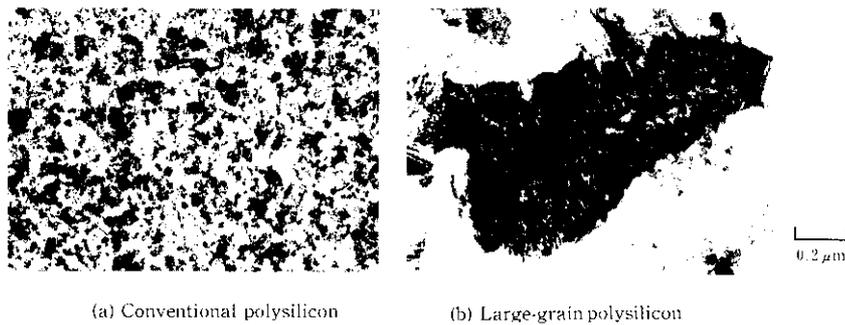


Table 1 Conditions for polysilicon film formation

	CVD		Annealing
	Source gas	Temperature	
Conventional polysilicon	SiH ₄	620°C	—
Large-grain-size polysilicon	Si ₂ H ₆	480°C	650°C for 5 h in N ₂

(TEM) 写真を示す。従来のポリシリコン膜の結晶粒径は0.05 μmであるが、大粒径ポリシリコン膜では1.0 μmである。ポリシリコン膜を形成後この表面を酸化し、As⁺またはBF₂⁺イオン注入を行った。イオン注入量は、As⁺、BF₂⁺それぞれ3×10¹⁵個/cm²、2×10¹⁵個/cm²である。ポリシリコン膜をゲート形状に加工した後、LTO膜とBPSG膜を形成し窒素中で900°C 30分間の熱処理を行った。

ゲート酸化膜の初期絶縁耐圧は、活性層領域の面積を4 mm²としたMOSキャパシタ108個を用いて評価した。破壊電圧は、素子を通る電流が電流密度32 mA/cm²となったときの電圧をもって定義した。定電流TDDBは、活性層領域の面積が1 mm²のMOSキャパシタを用いて電流密度を100 mA/cm²として測定した。

酸化膜容量および反転容量測定には活性層領域が0.25 mm²のMOSキャパシタを用いた。容量測定は、準静的CV測定を用いて行った。

3 実験結果および考察

3.1 ゲート酸化膜の信頼性

Fig. 1に、ゲート電極として従来のポリシリコンと大粒径ポリシ

リコンを用いたMOSキャパシタの初期絶縁耐圧測定結果を示す。ゲート酸化膜は膜厚8 nmの窒素酸化膜とした。従来のポリシリコンをゲート電極としたMOSキャパシタにおいて2 V以下の低電圧で破壊した試料が26%存在している。しかし、大粒径ポリシリコンをゲート電極としたものにおいては、2 V以下の絶縁破壊した試料は1%である。

従来のポリシリコンをゲート電極とした試料の初期絶縁耐圧劣化は、ポリシリコン結晶粒の形状に依存した現象と考えられる。Photo 2に、従来のポリシリコンと大粒径ポリシリコンの断面TEM写真を示す。電子線を[101]方向から入射させた。ポリシリコン/ゲート酸化膜界面近傍のポリシリコンの結晶粒を顕在化させるために任意のポリシリコンの回折スポットを用い、暗視野で観察した。大粒径ポリシリコン/ゲート酸化膜界面は、ゲート酸化膜/シリコン基板界面と同程度に平坦である。しかし、従来のポリシリコンをゲート電極とした試料においては、ゲート酸化膜にポリシリコン結晶粒の一部が進入し、局所的な薄膜化が観察される。このゲート酸化膜が薄膜化した箇所では絶縁破壊が生じたと考えられる。

ポリシリコン膜を熱処理すると膜中に圧縮応力が発生する。ポリシリコン成膜後、800°Cで酸化し900°Cで30分間熱処理したポリシリコン膜のRAMANピークは、ポリシリコン膜形成直後の試料に対して1.0/cmだけ高波数側にシフトした。この値は、0.25 MPaの圧縮応力に相当する。この応力がゲート酸化膜と接して存在するくさび状のシリコン結晶粒をゲート酸化膜中に押し込んだと推定する。

この現象はp⁺ポリシリコンにおいてのみ発生する現象であると考えている。多結晶状態で成膜したポリシリコン膜のゲート酸化膜界面近傍には、隣接するシリコン粒により成長を中断されたくさび状のシリコン粒が存在する。このシリコン粒は、BF₂⁺イオン注入とその後の熱処理後においても消失しない(Photo 2参照)。Bは、PやAsと異なりシリコンの結晶粒の成長を助長しないからである⁸⁾。

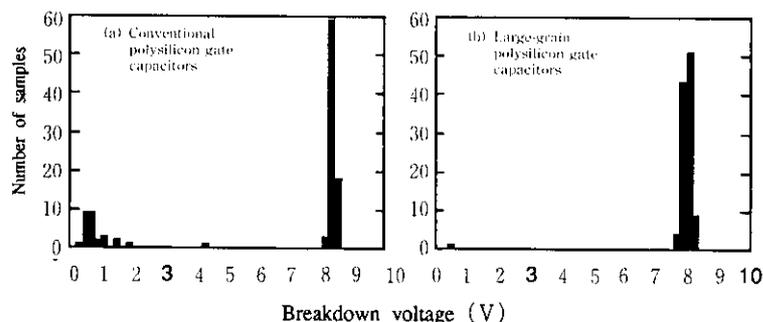


Fig. 1 Histograms for the time-zero dielectric breakdown voltage of gate oxide capacitors with 8 nm nitrided oxide

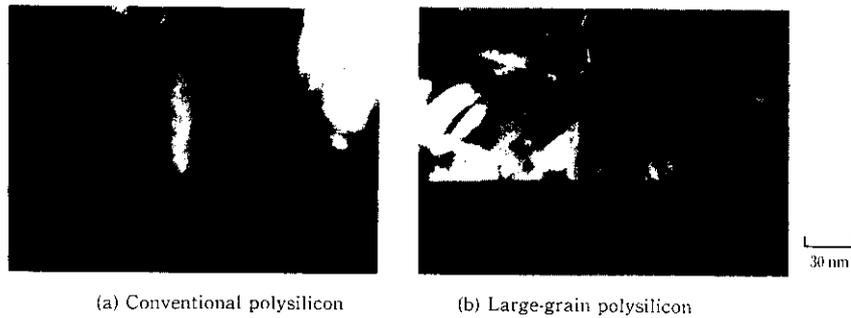


Photo 2 Dark-field TEM micrographs

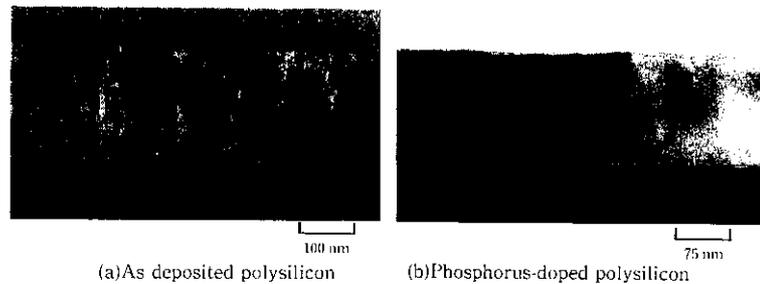


Photo 3 TEM plan-views of the polysilicon films

一方、P、Asをドーピングしたポリシリコンは熱処理中に結晶粒が成長し、くさび状のシリコン粒は消失し柱状のシリコン結晶粒となる。Photo 3に厚さ150 nmのポリシリコン膜とこれにP⁺イオンを 7×10^{15} 個/cm²注入し900°Cで30分間熱処理した試料の断面TEM写真を示す。P⁺イオンを注入し熱処理した試料は、結晶粒が成長しくさび状のシリコン粒は消失している。

Fig. 2および3に、それぞれゲート酸化膜を窒化酸化膜とウェット酸化膜としたMOSキャパシタの定電流TDDB測定結果を示す。ゲート電極として従来のポリシリコンと大粒径ポリシリコンを用いた。95%累積不良率を与える注入電荷量は、ゲート酸化膜に窒化酸化膜を用いた大粒径ポリシリコンゲートMOSキャパシタで20 C/cm²であるのに対し、従来のポリシリコンゲートでは9 C/cm²であった(Fig.2参照)。ゲート酸化膜がウェット酸化膜においても同様に、大粒径ポリシリコンゲートの方が従来のポリシリコンゲートよりも95%累積不良率において2倍の注入電荷量を与えた(Fig.3参照)。

大粒径ポリシリコンをゲート電極に用いることにより、ゲート酸化膜の初期絶縁耐圧特性ばかりでなく信頼性も向上させることができた。

3.2 Bの突き抜け

Fig. 4にBF₂⁺イオン注入量とMOSキャパシタのフラットバンド電圧との関係を示す。ゲート酸化膜として膜厚8 nmのウェット酸化膜を用いた。BF₂⁺イオンをポリシリコンに注入し900°Cで30分間の熱処理を行った。n型基板濃度とp⁺ポリシリコンのドーパント濃度から算出したフラットバンド電圧は0.95 Vである。大粒径ポリシリコンをゲートポリシリコンに用いた試料のフラットバンド電圧はBF₂⁺イオン注入量 2×10^{15} 個/cm²において0.95 Vであり、 5×10^{15} 個/cm²および 1×10^{16} 個/cm²のドーズ量においてそれぞれ1.05 Vおよび1.02 Vである。大粒径ポリシリコンをゲート電極に用いることによりB原子の基板への拡散を抑制できる。

しかし、従来のポリシリコンをゲート電極とした試料は、BF₂⁺

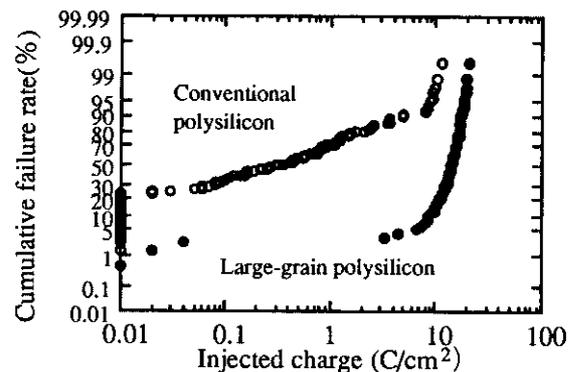


Fig. 2 Cumulative failure vs injected charge to breakdown for conventional and large-grain-size polysilicon gate capacitors with 8 nm nitrided oxide

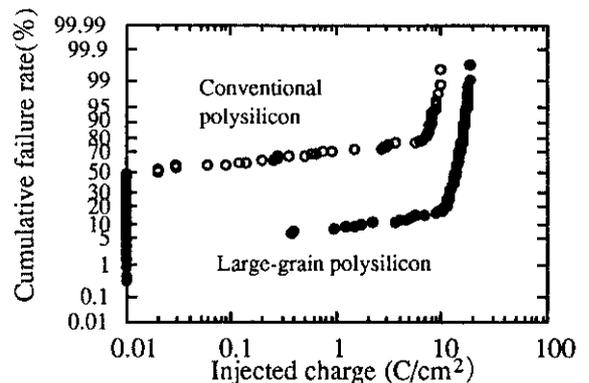


Fig. 3 Cumulative failure vs injected charge to breakdown for conventional and large-grain-size polysilicon gate capacitors with 8 nm wet oxide

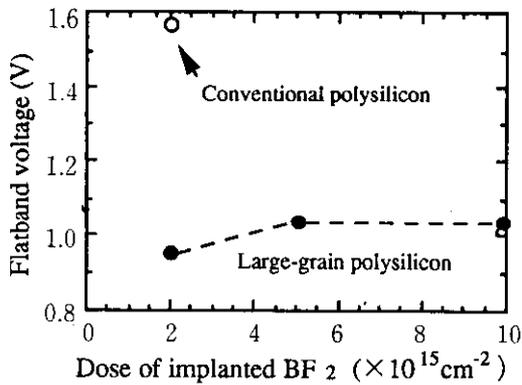


Fig. 4 Flatband voltage as a function of BF₂ dosage for conventional and large-grain-size polysilicon gate capacitors with 8 nm silicon dioxide

イオン注入量 2×10^{15} 個/cm²において1.55 Vのフラットバンド電圧を示している。これは、B原子がSi基板に拡散したことを意味する。

大粒径ポリシリコンにおいても、 5×10^{15} 個/cm²および 1×10^{16} 個/cm²のBF₂⁺イオンを注入した試料のフラットバンド電圧が、 2×10^{15} 個/cm²のものに比べて、それぞれ正方向に0.1, および0.07 Vと若干増大している。しかし、この原因は、B原子の突き抜けでなく酸化膜中に拡散されたF原子により形成された負の電荷によるものである⁹⁾。

ゲート酸化膜中のB原子の拡散は、酸化膜中のF原子の存在で助長される⁹⁾。酸化膜中に存在するF原子は、酸化膜を構成するO-Si-O構造を破壊しB原子の拡散を助長すると考えられる。従来ポリシリコンでフラットバンド電圧が大きく変化した原因は、BF₂⁺イオン注入でポリシリコン中に注入されたF原子が、熱処理中にポリシリコンから酸化膜中に拡散し、B原子の拡散を促進したことによると考えられる。ゲート酸化膜中のF濃度は、大粒径ポリシリコンにおいて 3×10^{20} 個/cm³であるのに対して従来ポリシリコンでは 1×10^{21} 個/cm³であった。

3.3 酸化膜容量および反転容量

Fig. 5は、ゲート電圧を3.3 Vとした時の酸化膜容量とBF₂⁺イオン注入量との関係をプロットしたものである。キャパシタ面積0.25 mm²の試料を用いた。従来のポリシリコンにPを 7×10^{15} 個/cm²注入し900°Cで30分間熱処理したMOSキャパシタを比較試料として用いた。この試料の酸化膜容量は、999 pFである。大粒径ポリシリコンを用いたMOSキャパシタの酸化膜容量は 7×10^{15} 個/cm²のPをイオン注入をした比較試料に対して2%の容量低下がある。これに対し従来ポリシリコンにおいては、Pをイオン注入した比較試料に対して12%の容量低下がある。ゲート酸化膜中のF原子は、MOSキャパシタの容量を低下させる^{5,6)}。大粒径ポリシリコンがゲート酸化膜の容量の低下を抑制した要因は、大粒径ポリシリコンがF原子のゲート酸化膜への拡散を抑制したためである。

p⁺pMOSキャパシタの反転容量(C_{inv})を蓄積時の容量(C_{ox})で規格化した C_{inv}/C_{ox} のBF₂⁺ドーズ量依存性をFig. 6に、反転容量(C_{inv})のBF₂⁺ドーズ量依存性をFig. 7に示す。 C_{inv}/C_{ox} はゲート酸化膜界面近傍に存在するポリシリコン中のキャリア濃度と相関する値である。この値はポリシリコン結晶粒径依存性およびBF₂⁺ドーズ量依存性を持たない。しかし、Fig. 7に示した反転容量

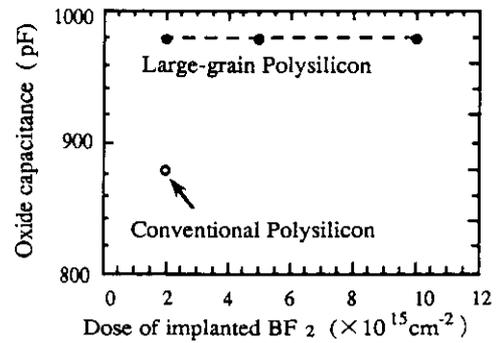


Fig. 5 The effect of implant dosage of BF₂ on oxide capacitance for conventional and large-grain-size polysilicon with 8 nm wet oxide

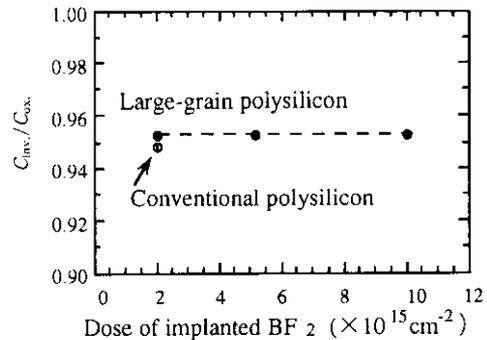


Fig. 6 C_{inv}/C_{ox} as a function of BF₂ dosage for conventional and large-grain-size polysilicon gate capacitors with 8 nm wet oxide

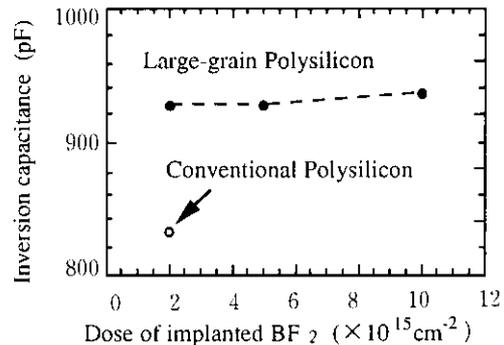


Fig. 7 The effect of dosage of BF₂ on inversion capacitance for conventional and large-grain-size polysilicon with 8 nm wet oxide

は、結晶粒径依存性がある。従来のポリシリコンは、大粒径ポリシリコンに対し約10%の反転容量の低下があるが、これはFig. 5に示したように大粒径ポリシリコンを用いることで酸化膜容量の低下を防止できたからである。

4 まとめ

p⁺ポリシリコンゲート MOS キャパシタを用いゲート酸化膜信頼性、B原子突き抜けおよび酸化膜容量とゲート電極用ポリシリコン結晶粒径との関係を調査した。その結果以下のことがわかった。

- (1) p⁺ゲート電極を多結晶状態で形成した結晶粒径が0.05 μmのポリシリコン膜とすると、ゲート酸化膜の初期絶縁耐圧歩留まりおよび定電流 TDDB 特性が低下した。
- (2) p⁺ゲート電極を非晶質状態で形成したシリコン膜を結晶化させて得た結晶粒径が1.0 μmの大粒径ポリシリコン膜とすると、ゲート酸化膜の初期絶縁耐圧歩留まりおよび定電流

TDDB 特性の低下が生じなかった。

- (3) ゲート酸化膜絶縁耐圧劣化の原因は、ポリシリコン中のシリコン結晶粒がゲート酸化膜中に侵入したことによる局所的なゲート酸化膜の薄膜化が原因であると考えられる。大粒径ポリシリコンはこのゲート酸化膜の局所的な薄膜化を抑制した。
- (4) 従来のポリシリコンゲートで発生するB原子の基板への拡散を大粒径ポリシリコンをゲート電極とすることで抑制できた。
- (5) 大粒径ポリシリコンは、従来のポリシリコンで発生するBF₂イオン注入によるゲート酸化膜の容量低下を抑制できた。大粒径ポリシリコンは、デュアルゲート電極材料として有望である。

参考文献

- 1) B. Davari, W. H. Chang, M. R. Wordeman, C. S. Oh, Y. Taur, K. E. Petrillo, D. Moy, J. J. Buchignano, H. Y. Ng, M. G. Rosenfield, F. J. Hohn, and M. D. Rodrigues: "A High Performance 0.25 μm CMOS Technology," IEDM Technical Digest, San Francisco (USA), (1988), 56
- 2) R. A. Champman, C. C. Wei, D. A. Bell, S. Aur, G. A. Brown, and R. A. Haken: "0.5 Micron CMOS for High Performance at 3.3 V," IEDM Technical Digest, San Francisco (USA), December (1988), 52
- 3) J. Y. -C. Sun, Y. Taur, R. H. Dennard, and S. T. Klepner: *IEEE Trans. Electron Device*, **ED-34** (1987), 19
- 4) H. H. Tseng, P. J. Tobin, F. K. Baker, J. R. Pfeister, K. Evans, P. Fejes: "The Effect of Silicon Gate Micro Structure and Gate Oxide Process on Threshold Voltage Instability in BF₂ Implanted P-channel MOSFETs," 1990 Symposium on VLSI Technology, Honolulu (USA), (1990), 111
- 5) F. K. Baker, J. R. Pfeister, T. C. Mele, H. H. Tseng, P. J. Tobin, J. D. Hayden, C. D. Gunderson, and L. C. Parrillo: "The Influence of Fluorine on Threshold Instability in p⁺ Polysilicon Gated P-channel MOSFETs," IEDM Technical Digest, Washington, D. C. (USA), (1989), 443
- 6) P. J. Wright and K. C. Saraswat: *IEEE Trans. Electron. Devices*, **36** (1989), 879
- 7) M. Koda, Y. Shida, J. Kawaguchi, and Y. Kaneko: "Improving Gate Oxide Integrity in p⁺pMOSFET by Using Large Grain Size Polysilicon Gate," IEDM Technical Digest, Washington, D. C. (USA), (1993), 471
- 8) L. Mei, M. Rivier, Y. Kwark, and R. W. Dutton: *J. Electrochemical Society*, **129** (1982), 1791