
選択 Al-CVD による Al/Al 直接接続ビア形成

Al/Al Direct-Contact Via Plug Formation Using Selective Al-CVD

竹安 伸行 (Nobuyuki Takeyasu) 山本 浩 (Hiroshi Yamamoto) 太田 与洋
(Tomohiro Ohta)

要旨：

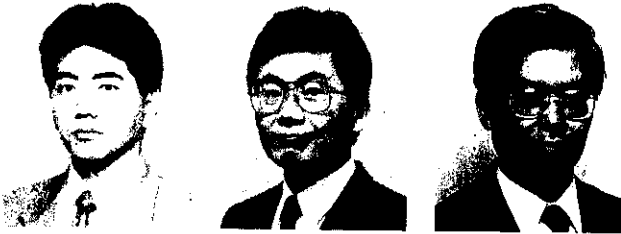
選択 Al-CVD 技術を用いて、上下配線間を Al のみで直接接続した微細なビア構造を形成することに初めて成功した。このような構造は次の三つの処理を同一真空内で連続して行うことによって実現できた。つまり、RIE(reactive ion etching)による下層 Al 配線の表面清浄化、選択 Al-CVD によるプラグ形成、およびスパッタによる上層 Al 膜形成である。この方法によって作製したビア構造では電流経路に異種金属界面がなく、 $0.5\mu\text{m}$ 径において、 $0.25\Omega/\text{via}$ の低い抵抗が得られた。この値は異種金属界面をもつ W プラグのビアに比べて $1/3$ 程度である。また W プラグのビアに比べて同等以上の EM(electromigration)耐性も得られた。以上の結果から、この Al-CVD プラグを用いた異種金属界面のないビア構造は信頼性が高く、低コストで形成できるので今後の微細な LSI 配線構造として、非常に期待できる。

Synopsis：

Direct-contact via plug of a submicron diameter with a novel via plug structure has been realized by selective aluminum chemical vapor deposition (Al-CVD). Lower and upper Al interconnects are directly connected with the plug of aluminum. Essential point of this technique is to carry out sequentially the following three processes without exposing wafers to the ambient: Surface cleaning by reactive ion etching (RIE), plug formation by selective Al-CVD and sputter deposition of upper level Al film. The via structure has no heteromaterial interfaces across the current path. Electrical characteristics of the Al plug were evaluated and compared with those of the conventional W plug. The resistance of a via chain in $0.5\mu\text{m}$ diameter was $0.2525\Omega/\text{via}$, which was $1/3$ that of the W-filled plug, and interface resistance was estimated to be extremely low. Electromigration (EM) tolerance of the new plug was better than that of the W plug. The direct-contact Al-CVD plug is, thus, very suitable for realizing high-performance LSI with lower process cost.

本文は次のページから閲覧できます。

Al/Al Direct-Contact Via Plug Formation Using Selective Al-CVD



竹安 伸行
Nobuyuki Takeyasu
ハitek研究所 LSI
研究センター

山本 浩
Hiroshi Yamamoto
東京本社 知的財産部
主査(掛長)・工博

太田 与洋
Tomohiro Ohta
ハitek研究所 LSI
研究センター 主任研
究員(課長)・理博

要旨

選択 Al-CVD 技術を用いて、上下配線間を Al のみで直接接続した微細なビア構造を形成することに初めて成功した。このような構造は次の三つの処理を同一真空中で連続して行うことによって実現できた。つまり、RIE (reactive ion etching) による下層 Al 配線の表面清浄化、選択 Al-CVD によるプラグ形成、およびスパッタによる上層 Al 膜形成である。この方法によって作製したビア構造では電流経路に異種金属界面がなく、 $0.5\mu\text{m}$ 径において $0.25\Omega/\text{via}$ の低い抵抗が得られた。この値は異種金属界面をもつ W プラグのビア抵抗に比べて $1/3$ 程度である。また W プラグに比べて同等以上の EM (electromigration) 耐性も得られた。以上の結果から、この Al-CVD プラグを用いた異種金属界面のないビア構造は信頼性が高く、低コストで形成できるので今後の微細な LSI 配線構造として、非常に期待できる。

Synopsis:

Direct-contact via plug of a submicron diameter with a novel via plug structure has been realized by selective aluminum chemical vapor deposition (Al-CVD). Lower and upper Al interconnects are directly connected with the plug of aluminum. Essential point of this technique is to carry out sequentially the following three processes without exposing wafers to the ambient: surface cleaning by reactive ion etching (RIE), plug formation by selective Al-CVD and sputter deposition of upper Al film. The via structure has no heteromaterial interfaces across the current path. Electrical characteristics of the Al plug were evaluated and compared with those of the conventional W plug. The resistance of a via chain in $0.5\mu\text{m}$ diameter was $0.25\Omega/\text{via}$, which was $1/3$ that of the W-filled plug, and interface resistance was estimated to be extremely low. Electromigration (EM) tolerance of the new plug was better than that of the W plug. The direct-contact Al-CVD plug is, thus, very suitable for realizing high-performance LSI with lower process cost.

1 背景と目的

近年、LSI デバイスは高速化、高集積化によって著しく進歩している。その中でも重要な技術として LSI の微細化技術があり、特に微細な配線を形成する技術や、平坦な膜を形成する技術は今日においても重要な研究課題となっている。微細配線形成技術としては基板と配線間、あるいは上下配線間をつなぐ微細な接続孔への埋め込み技術が非常に重要になってきている。最近ではスパッタに替わる技術として、ステップカバレッジがよく埋め込み性に優れた CVD による埋め込み技術が用いられるようになった。

現在の主流埋め込み技術は、ブランケット W-CVD/エッチバックプロセスにより W プラグを形成する技術である。しかし、この W プラグを用いる構造では TiN 等の密着層を形成する必要があるため、プロセスが複雑となり、必然的にコストが高くなる。また、このような複雑なプロセスがパーティクル等の発生を引き起こし、歩留まりを低下させる。さらに、この W プラグを用いたビア構造においては Al 合金 (配線) /Ti/TiN/W (プラグ) /Al

合金 (配線) という複雑な界面が形成されており (Fig. 1 (a)), 電流経路に異種金属界面が存在するため、今後の配線の微細化の進行とともに次のような問題が顕在化してくるものと考えられる。つまり、接触抵抗によるビア抵抗の増大²⁾、物質移動の不連続化による EM (electromigration) 耐性の悪化³⁾、局部電池効果による腐食の発生⁴⁾等の問題である。以上のことを考えると、今後の微細化した配線においては、プラグ部分、特にビアプラグに Al を用いることにより、電流経路に異種金属界面の存在しない構造 (Fig. 1 (b)) を簡単な工程で (低コストで) 形成できる技術が要求され

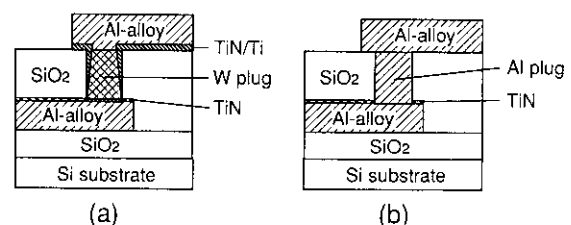


Fig. 1 Two different via structure; (a) conventional W plug, (b) the direct-contact Al plug proposed in this paper

* 平成5年12月22日原稿受付

る。この要求を満たすものとして、Al-CVD 技術が期待される。

Al-CVD 技術は、今のところ LSI 配線形成においてまだ実用化には至っていない。しかし、Al-CVD 技術の LSI 配線への適用を考えた研究は、これまでに TIBA (トリイソブチルアルミニウム)⁵⁻⁹⁾や DMAH (ジメチルアルミニウムハイドライド)¹⁰⁻¹⁴⁾等を原料ガスとして行われてきた。最近では、この CVD により Si 上への選択堆積が実現されている⁹⁻¹²⁾。Si 上への選択成長は、Si 表面が洗浄方法の工夫によって熱的に非常に安定な水素終端の表面を形成しやすいという特性があることから、比較的容易なプロセスである。一方、金属上への選択成長は、金属表面が大気中で容易に酸化するために清浄な表面を保つことが難しく、容易なプロセスではない。この金属上への選択成長により上下配線間のビアプラグを形成した例では、TIBA を用いて選択 Al-CVD により形成した Al プラグが Ti 膜を介して接続された構造が報告されているのみである⁹⁾。ここでは選択 Al-CVD を実現するためにアモルファス Si マスクの形成と *in-situ* の RF クリーニングを必要としており、必ずしも簡単なプロセスではない。またこれは電流経路に異種金属界面を含む構造となっている。このように Al のみで直接接続されたビア構造 (Al/Al 直接接続ビア構造) がこれまで報告されていないのは、自然酸化膜が容易に形成される下層 Al 配線表面上に選択 CVD で直接 Al プラグを形成することが困難であったためと考えられる。

本報告では、表面清浄化のための RIE (reactive ion etching) 処理と DMAH を用いた選択 Al-CVD を同一真空中で連続して行える装置を試作し、これにより異種金属界面のない Al/Al 直接接続ビア構造を非常に簡単な工程で形成することに初めて成功したことを報告する。さらに、この構造と従来の W プラグを用いたビア構造の電気特性を比較し、その優位性を示す。

2 実験装置および方法

表面清浄化した Al 表面上に CVD で Al を堆積するためには、表面清浄化後大気に晒さずに CVD を行う必要があると考えた。そこで本研究を行うにあたって、RIE 前処理装置と CVD 装置が同一真空中で連結した高真空のクラスターツールが必須であると考え、Fig. 2 に示すように、RIE による下層 Al 配線表面の清浄化、選択 Al-CVD による Al プラグの形成、スパッタによる上層 Al 膜形成の三つの処理を同一真空中で連続して行えるマルチチャンバー型の装置を試作し、本研究に使用した。いずれのチャンバーにおいてもそのベース圧力は 1×10^{-7} Torr (1.33×10^{-7} hPa) 以下となっている。RIE 装置は平行平板型で 13.56 MHz の RF を使用している。ここでは BCl_3 および Ar の混合ガスを用い、圧力 0.05–0.15 Torr (0.0665–0.1995 hPa) で表面清浄化処理を行った。CVD 装置は

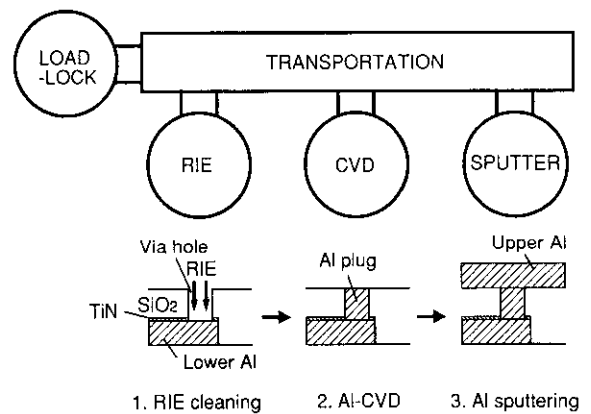


Fig. 2 Schematic diagram of the cluster tool used in this study, and the process steps to fabricate direct-contact via plug

コールドウォール型で、基板加熱はカーボンサセプターの抵抗加熱によって行っている。ここでは原料ガスとして有機金属ガスである DMAH を H_2 (500 sccm ($0.844 \text{ Pa} \cdot \text{m}^3/\text{s}$)) によりバブリングさせて供給し、Al-CVD を行った。CVD 時の基板温度と全圧はそれぞれ 210–260°C、2.0 Torr である。その後スパッタにより上層 Al 膜 ($0.5 \mu\text{m}$) を形成した後、パターニングしてビア評価用試料を作製した。

基板は p-SiO 層間膜 ($1 \mu\text{m}$) / TiN 反射防止膜 ($0.05\text{--}0.1 \mu\text{m}$) / Al 合金配線に $0.3\text{--}0.8 \mu\text{m}$ 径のビアホールを形成して下層の Al 配線表面が露出した構造の基板 (ビア基板) を使用した。

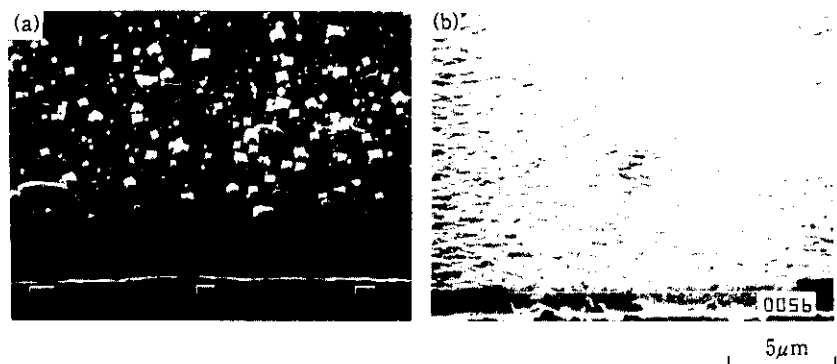
選択 Al-CVD 後の埋め込み性は SEM (scanning electron microscopy) および TEM (transmission electron microscopy) により評価した。また上層配線形成後 400°C で 60 分間焼鈍を行ってから、電気特性評価および EM 評価を行った。電気特性評価としてケルビンパターンによるビア抵抗、およびビアチェーン抵抗の測定を行い、また接触抵抗を見積った。EM 評価は $0.8 \mu\text{m}$ 径のケルビンパターンを用いて電気抵抗変化により行った。これらの評価において従来の W プラグの場合と比較した。

3 実験結果および考察

3.1 ビアプラグ形成

Al 基板上への Al-CVD に対する RIE 前処理の効果をみるため、Al 基板上に RIE 前処理したものと、しなかったものにそれぞれ基板温度 260°C で Al-CVD を行った。その表面 SEM 写真を Photo 1 に示す。前処理なしの場合粒状の析出物が形成されるのみであるの

Photo 1 SEM micrographs showing blanket Al-CVD on the Al film substrates; (a) without and (b) with *in-situ* RIE precleaning



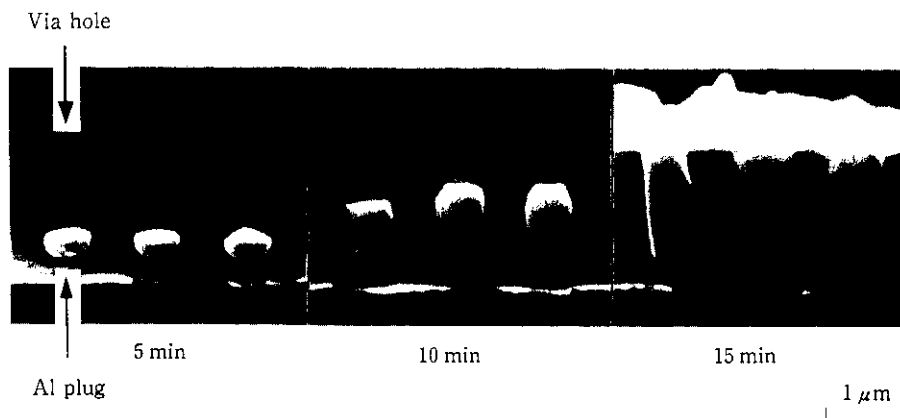


Photo 2 Cross-sectional SEM micrographs of the Al plugs in $0.6\mu\text{m}$ via holes at 3 different deposition times

Via size = $0.45\mu\text{m}$

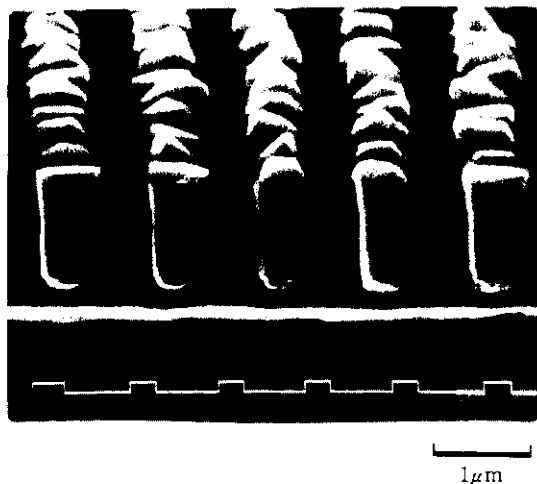


Photo 3 SEM photograph of the CVD-Al plugs formed in $0.45\mu\text{m}$ via holes on 5 min deposition

に対して、前処理ありの場合平滑な連続膜が形成された。なお、この条件においてSiの熱酸化膜上にはAlの堆積は起こらなかった。つまり、Al基板表面上に自然酸化膜があるとAlの堆積が困難となるが、前処理によってそれが除去され、清浄なAl表面が得られたことでAl上への堆積を容易にしたものと考えられる。

次に、ビア基板にRIE処理をした後Al-CVD (CVD温度: 210°C)を行った結果について示す。Photo 2は、3段階のCVD時間におけるビア孔 ($0.6\mu\text{m}$ 径) へのAl堆積の様子を観察した断面SEM写真である。CVD-Alプラグはビア底の下層Al表面からのみ選択堆積していることがわかる。15 minではCVD時間が長いためにAlがビア孔から溢れ出ているが、その場合でも選択性は保たれている。一方、ビア基板にRIE処理をしないでAl-CVDを長時間行った場合には、ビア底からの堆積がほとんど起こらず酸化膜上に堆積が起こった。したがって、ビア孔へAlの選択堆積を実現するには、この *in-situ* RIE処理が必須であるといえる。Photo 3は、 $0.45\mu\text{m}$ 径のビア基板上に選択Al-CVDを行った様子を示すSEM写真である。このときの堆積時間は5 minであった。堆積速度は原料ガスであるDMAH濃度が高い条件で大きくなることがわかっているが¹⁵⁾、このように堆積速度が大きい場合でも良好な選択堆積が実現できた。さらに微細な $0.3\mu\text{m}$ 径のビア孔へ

の良好な選択堆積が可能であることも確認した。そして、このビア埋め込みの堆積速度はビア径が $0.3\sim 0.8\mu\text{m}$ の範囲において一定であり、これは径が小さくなるほど堆積速度が大きくなるというTIBAを用いた選択Al-CVDの結果¹⁶⁾とは異なることがわかった。このことから、DMAHを用いた選択Al-CVDは、実際のLSIデバイスでみられる径の異なるプラグを形成する場合にも非常に有利な技術であるといえる。

Photo 4は、本研究において実際に作製したAl/Al直接接続ビア構造の断面TEM写真である。写真から選択CVDによって形成したAlプラグはボイドがなく、また変質層などの界面層を持たずに上下Al配線に接続していることがわかった。

3.2 電気特性評価

本研究で作製したAl/Al直接接続ビア構造、およびFig. 1 (a)で示したWプラグを用いたビア構造についてそれぞれチェーン (4196個のプラグからなる) 抵抗を測定し、プラグ1個あたりのビア抵抗を求めた。Fig. 3は、各ビア径に対して得られたビア抵抗の結果である。Al/Al直接接続ビア構造のビア抵抗はWを用いたビア構造のそれに比べて小さく、その差はビア径が小さくなるほど大きくなっている。Alプラグの $0.5\mu\text{m}$ 径のビア抵抗は $0.25\Omega/\text{via}$ であり、Wプラグのビア抵抗の1/3程度であった。さらに、ケルビン法によってもビア抵抗を測定した。その結果、Alプラグの $0.5\mu\text{m}$ 径のビア抵抗は 0.2Ω であり、これは異種金属界面を持つAl/Ti/Al構造で報告されている結果 (0.4Ω 程度)⁸⁾と比べても1/2と非常に低い抵抗であった。このようにAl/Al直接接続ビア構造のビア抵抗が非常に低い理由は、低抵抗であるAlプラグを用いているということ以外に、主としてこの構造が異種金属界面を持たない構造であるからだと考えられる。そこで接触抵抗を見積もって見た。

測定したビア抵抗 (R_c) はFig. 4に示すように、プラグ上下の配線抵抗 (R_u, R_l) とプラグの抵抗 (R_p)、接触抵抗 (R_i) をそれぞれ合わせた抵抗であると考えた。そこで、AlとWの抵抗率をそれぞれ3および $10\mu\Omega\cdot\text{cm}$ として R_u と R_l 、 R_p を計算し、次の(1)式から R_i を算出した。

$$R_i = R_c - (R_u + R_l + R_p) \dots\dots\dots (1)$$

Fig. 5は、上述のようにして得られた接触抵抗を、ビア径の2乗として計算した接触面積の逆数に対してプロットしたグラフで、Al/Al直接接続ビア構造とWビア構造を比較している。グラフ中のエラーバーは R_u と R_l 、 R_p の値が10%の誤差を持つと考えた場

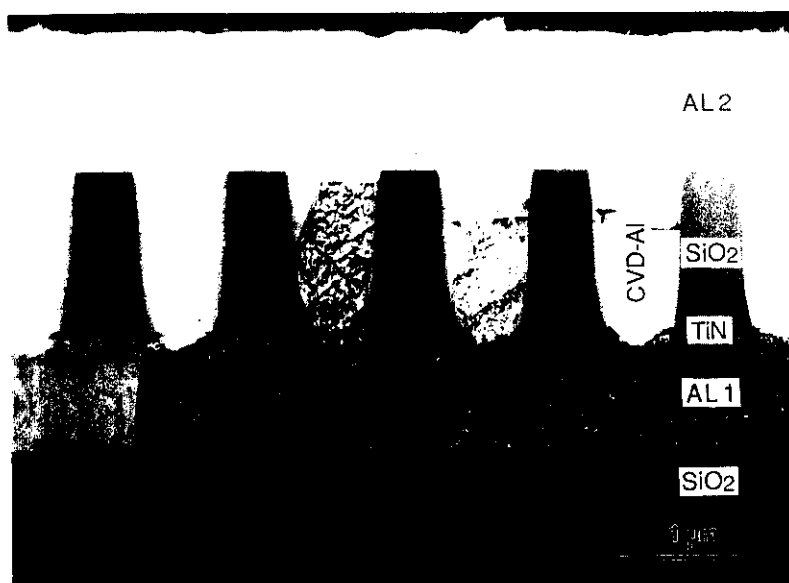


Photo 4 Cross-sectional TEM photograph of the direct-contact via structure fabricated in this study

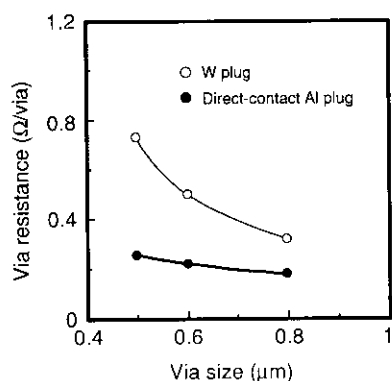


Fig. 3 The via chain resistance as a function of via hole size for the direct-contact Al plug and the W plug

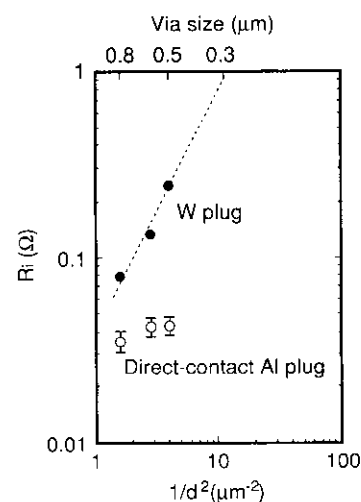
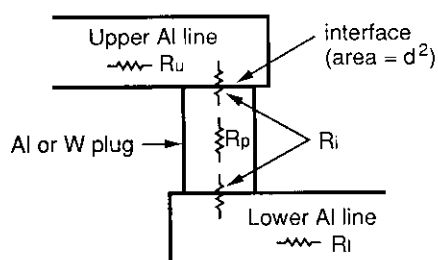
Fig. 5 Calculated interface resistance as a function of the reciprocal of via hole area; d^{-2} for the direct-contact and W plugs

Fig. 4 The cross section of a via structure (The via resistance consists of the upper and lower line resistances, the plug resistance and the interface resistance.)

合の計算誤差である。W ビア構造における接触抵抗はビア径の縮小とともに急激に増加し、 $0.5\mu\text{m}$ 径において 0.2Ω 以上の値を持っている。この値は微細化の進行とともにさらに増大し、配線遅延の増大などの問題につながると考えられる。一方、Al/Al 直接接続ビア構造における接触抵抗は 0.04Ω 程度と非常に小さく、計算誤差の範囲内である。つまり、この構造においては異種金属界面がないために接触抵抗がほとんどないものと考えてよい。

$0.8\mu\text{m}$ 径のケルビンパターンを用いて EM 耐性を評価した。

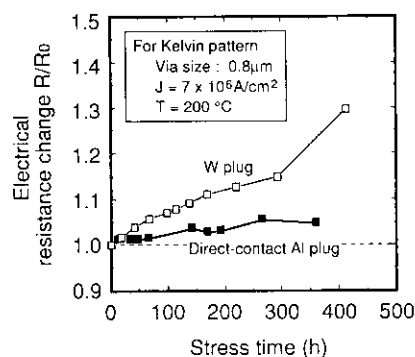
Fig. 6 The resistance increase of the direct-contact Al plug and the conventional W plug under the conditions of 200°C and $7 \times 10^6\text{ A/cm}^2$ stress

Fig. 6 は、環境温度 200°C 、電流密度 $7 \times 10^6\text{ A/cm}^2$ の条件で EM 試験を行なったときの電気抵抗変化を示している。Al/Al 直接接

続ビア構造ではWビア構造の場合より抵抗変化が小さく、EM耐性が優れていることがわかった。これは、この構造が異種金属界面を持たないためであると考えられる。また、この特性はAlCu合金CVD¹⁷⁾によるプラグ形成によってさらに向上するものと考えている。

4 結 論

本研究において、BCl₃を用いたRIE前処理と選択Al-CVDを同一真空内で連続処理することにより、非常に簡単なプロセスでAl/

Al直接接続ビア構造を形成することに初めて成功した。この *in-situ* RIE 前処理はビア孔へのAlの選択堆積を実現するための必須プロセスである。この新しいビア構造はWビア構造に比べてビア抵抗が1/3程度で、接触抵抗が無視できるほど小さく、EM耐性が優れていることがわかった。この理由は、この構造が異種金属界面を持たないためであると考えられる。したがって、この微細なAl/Al直接接続ビア形成技術は、低コストプロセスによる高性能なLSIを実現するために、今後Wビア形成技術に代わる新しい技術として期待される。

参 考 文 献

- 1) M. Iwasaki, H. Itoh, T. Katayama, K. Tsukamoto, and Y. Akasaka: "Blanket CVD-W Formed by SiH₄ Reduction of WF₆ on TiN for Planar Interconnection," Ext. Abstr. of the 21st Int. Conf. Solid State Devices and Materials, The Japan Society of Applied Physics, Tokyo (Japan), August (1989), 41
- 2) S. R. Wilson, J. L. Freeman, and C. J. Tracy: "A High Performance Four Metal Layer Interconnect System for BIPOLAR and BICMOS Circuits," Proc. 7th Int. IEEE VMIC, IEEE Electron Devices Society, Santa Clara (USA), June (1990), 42
- 3) J. J. Estabil, H. S. Rathore, and E. N. Levine: "Electromigration Improvements with Titanium Underlay and Overlay in Al (Cu) Metallurgy," Proc. 8th Int. IEEE VMIC, IEEE Electron Devices Society, Santa Clara (USA), June (1991), 242
- 4) A. J. Griffin, Jr., S. E. Hernandez, F. R. Brotzen, J. D. Lawrence, J. W. McPherson, and C. F. Dunn: "Corrosion Behavior of Thin-film Metallizations on CVD W and Sputtered W-Ti Barrier Layers," Proc. 31st IRPS, IEEE Electron Devices Society, Atlanta (USA), March (1993), 327
- 5) M. J. Cooke, R. A. Heinecke, R. C. Stem, and J. W. C. Maes: *Solid State Technol.*, **25** (1982), 62
- 6) R. A. Levy, M. L. Green, and P. K. Gallagher: *J. Electrochem. Soc.*, **131** (1984), 2175
- 7) A. Sekiguchi, T. Kobayashi, N. Hosokawa, and T. Asamaki: *Jpn. J. Appl. Phys.*, **27** (1988), L1775
- 8) T. Amazawa and Y. Arita: "A 0.25 μ m Via Plug Process Using Selective CVD Aluminum for Multilevel Interconnection," Ext. Abstr. Int. Electron Device Meet., IEEE Electron Devices Society, Washington, D. C. (USA), December (1991), 265
- 9) T. Amazawa and H. Nakamura: "Selective Chemical Vapor Deposition of Aluminum", Ext. Abstr. of the 18th Int. Conf. Solid State Devices and Materials, The Japan Society of Applied Physics, Tokyo (Japan), August (1986), 755
- 10) T. Shinzawa, K. Sugai, S. Kishida, and H. Okabayashi: "Selective Al CVD Using Dimethyl Aluminum Hydride," Workshop on Tungsten and Other Advanced Metals for VLSI/ULSI Applications V, Mater. Res. Soc., San Mateo (USA), September (1990), 377
- 11) K. Tsubouchi, K. Masu, N. Shigeeda, T. Matano, Y. Hiura, and N. Mikoshiba: *Appl. Phys. Lett.*, **57** (1990), 1221
- 12) H. Kawamoto, H. Sakaue, S. Takehiro, and Y. Horiike: *Jpn. J. Appl. Phys.*, **29** (1990), 2657
- 13) K. Tani, T. Yamaji, and S. Nishikawa: *Jpn. J. Appl. Phys.*, **31** (1992), 4407
- 14) K. Sugai, T. Shinzawa, S. Kishida, H. Okabayashi, Y. Murao, T. Kobayashi, N. Hosokawa, T. Yako, H. Kadokura, M. Isemura, and K. Kamio: "Sub-half Micron Aluminum Metallization Technology Using a Combination of CVD and Sputtering," Proc. 10th Int. IEEE VMIC, IEEE Electron Devices Society, Santa Clara (USA), June (1993), 463
- 15) H. Yamamoto, E. Kondoh, N. Takeyasu, Y. Kawano, T. Katagiri and T. Ohta: "Realization of Direct-contact Via Plug by Use of Selective Al-CVD," Proc. 44th Symp. on Semiconductors and Integrated Circuits Technology, Electrochemical Society of Japan, Electronic Materials Committee, Tokyo (Japan), June (1993), 79 [in Japanese]
- 16) T. Amazawa and Y. Arita: "Fine Via-Hole Filling by Selective Aluminum Deposition," Ext. Abstr. 50th Autumn Meet. Japan Society of Applied Physics and Related Societies, The Japan Society of Applied Physics, Tokyo (Japan), September (1989), 29p-D-3
- 17) T. Katagiri, E. Kondoh, N. Takeyasu, T. Nakano, H. Yamamoto, and T. Ohta: *Jpn. J. Appl. Phys.*, **32** (1993), L132